

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-161979

(43)Date of publication of application : 23.06.1995

(51)Int.Cl.

H01L 29/78

H01L 21/336

(21)Application number : 05-307801

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.12.1993

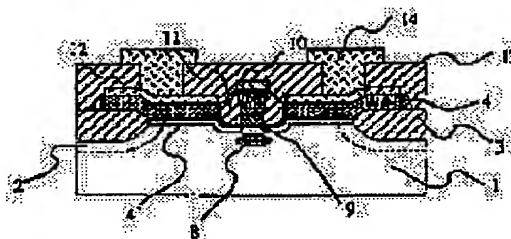
(72)Inventor : KIMURA SHINICHIRO  
NODA HIROMASA

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

### (57)Abstract:

**PURPOSE:** To provide a MOSFET capable of suppressing short channel effects even in the case of an effective thin junction depth and a fineness, and enhancing capacity without increasing parasitic capacitance and parasitic resistance.

**CONSTITUTION:** A pair of stacked impurity layers 4 is in contact with an active region of a semiconductor substrate 1, and a gate electrode 10 not overlapping the stacked impurity layers 4 is arranged in a space of these stacked impurity layers 4, and also a silicide film 12 is formed on a surface of the stacked impurity layer 4 and gate electrode 10 to obtain a MOSFET having a low resistance structure. In the structure of stacked impurity layer, an increase in parasitic resistance and parasitic capacitance of a diffused layer is suppressed, and also the gate electrode is arranged in a space of the stacked impurity layer, whereby it is possible to realize the gate electrode further smaller than the dimension determined by lithography and further to decrease the depth of an effective diffused layer. As a result, a fineness and a capability enhancement in the MOSFET are achieved.



## LEGAL STATUS

[Date of request for examination]

07.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3412884

[Date of registration]

28.03.2003

**BEST AVAILABLE COPY**

• [Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The gate electrode which touches through gate dielectric film on the semi-conductor substrate field which possessed the component isolation region on the semi-conductor substrate, and was surrounded in this component isolation region, A gate electrode has the electrode of a lot insulated and is electric conduction film with which the electrode of a lot consists of a part in contact with a semi-conductor substrate, and a part which extends in a component isolation region. And the semiconductor device characterized by for the predetermined clearance where the plane of projection does not overlap mutually existing between a gate electrode and the electrode of a lot, and forming in the front face of a gate electrode and the electrode of a lot further the electric conduction film which uses a metal as a principal component.

[Claim 2] Gate dielectric film is a semiconductor device according to claim 1 characterized by being formed in the periphery of the slot arranged in the semi-conductor substrate front face.

[Claim 3] The semiconductor device characterized by for two or more semiconductor regions where conductivity types differ through a component isolation region near the same semi-conductor substrate front face existing, and forming the semiconductor device according to claim 1 in said semiconductor region.

[Claim 4] claim 1 characterized by constituting the electric conduction film formed in the front face of a gate electrode and the electrode of a lot from a refractory metal thru/or 3 — the semiconductor device of any or a publication.

[Claim 5] claim 1 characterized by arranging the impurity range used as a punch-through stopper in the semi-conductor substrate under the plane of projection of a gate electrode thru/or 3 — the semiconductor device of any or a publication.

[Claim 6] claim 1 characterized by constituting the electric conduction film formed in the electrode surface of a lot from at least one sort of refractory metals of a group which consist of silicide of a tungsten, molybdenum, a tantalum, and these metals thru/or 3 — the semiconductor device of any or a publication.

[Claim 7] (1) The process which prepares the semi-conductor substrate of 1 electric conduction form equipped with the components separation oxide film, and forms a substrate and the semi-conductor film containing the impurity of a reverse electric conduction form in this front face, (2) the process which deposits an insulator layer on the front face of said semi-conductor film, and the semi-conductor film which (3) insulator layers deposited the process at which it separates into the electrode of a lot and a part of semi-conductor substrate front face is exposed, and (4) — the process which grows up an oxide film into said semi-conductor film and the exposed semi-conductor substrate front face — (5) The electrode of the process which forms the 1st side-attachment-wall insulator layer only in the side attachment wall of the insulator layer on said semi-conductor film and said semi-conductor film, and (6) lots is used as a mask. The process which introduces the impurity of 1 electric conduction form into the interior of a substrate, and forms a punch-through stopper field in it, (7) The process which forms gate dielectric film, the process which forms (8) gate electrodes, (9) The process which removes the insulator layer and the 1st side-attachment-wall insulator layer which were deposited on the electrode of a lot, (10) The process which introduces the impurity of a reverse electric conduction form into a semi-conductor substrate, and forms a source drain diffusion field, (11) The process which forms the 2nd side-attachment-wall insulator layer only in the side attachment wall of a gate electrode and the electrode of a lot, (12) The manufacture approach of the semiconductor device characterized by having the process which forms wiring which touches the electrode of a lot in the process which forms in the front face of a gate electrode and the electrode of a lot the electric conduction film which uses a metal as a principal component and (13) gate electrodes, and a list, and growing into them.

[Claim 8] The process which forms the 1st side-attachment-wall insulator layer only in the side attachment wall of the insulator layer on the semi-conductor film of a process (5), and the semi-conductor film, Between the processes which use the electrode of the lot of a process (6) as a mask, introduce the impurity of 1 electric conduction form into the interior of a substrate, and form a punch-through stopper field The manufacture approach of the semiconductor device according to claim 7 characterized by adding the process which uses the electrode of a lot as a mask and forms the slot of the predetermined depth on a semi-conductor substrate, and changing.

[Claim 9] (1) Form the organic film which covers said some of semi-conductor film. the process which prepares the semi-conductor substrate with which two or more semiconductor regions where conductivity types differ are provided, and the isolation region between components is formed, and forms the semi-conductor film in this front face, and (2) — The process which introduces the impurity of 1 electric conduction form into the field which is not covered by this organic film, (3) The process which introduces the impurity of a reverse electric conduction form by the process (2) and the same approach only to the field covered by the organic film in said process (2), (4) the process which deposits an insulator layer on the front face of said semi-conductor film, and said semi-conductor film which (5) insulator layers deposited The process which grows up an oxide film into the process at which it separates into the electrode of a lot and a part of semi-conductor substrate front face is exposed, said semi-conductor film, and the exposed semi-conductor substrate front face, The process which forms the 1st side-attachment-wall insulator layer only in the side attachment wall of the insulator layer on said semi-conductor film and the semi-conductor film, and the organic film which covers the field of (8) requests are formed. The process which uses the electrode of a lot as a mask, introduces the impurity of 1 electric conduction form into the interior of a substrate, and forms a punch-through stopper field, (9) The process which introduces the impurity of a reverse electric conduction form into the field covered by the organic film in the process 8 using the same approach as a process (8), and forms a punch-through stopper field in it, (10) The process which forms gate dielectric film, the process which forms (11) gate electrodes, the process which removes only the insulator layer on the electrode of (12) lots and said 1st side-attachment-wall insulator layer, and the organic film which covers the field of (13) requests are formed. The process which introduces the impurity of a reverse electric conduction form and forms the 1st source drain diffusion field, (14) The process which introduces the impurity of 1 electric conduction form into the field covered by the organic film in the process (13) using the same approach as a process (13), and forms the 2nd source drain diffusion field in it, (15) The process which forms the 2nd side-attachment-wall insulator layer only in the side attachment wall of a gate electrode and the electrode of a lot, (16) The manufacture approach of the semiconductor device characterized by having the process which forms wiring which touches the electrode of a lot in the process which forms in the front face of a gate electrode and the electrode of a lot the electric conduction film which uses a metal as a principal component and (17) gate electrodes, and a list, and growing into them.

[Claim 10] claim 7 which the insulator layer which covers the front face and side attachment wall of the semi-conductor film which are the electrode of a lot is boron, Lynn, or an oxide film that contains those both by high concentration, and is characterized by removing this oxide film in the ambient atmosphere containing the steam of fluoric acid thru/or 9 — the manufacture approach of the semiconductor device any or a publication.

[Claim 11] claim 7 characterized by changing as a process which forms an insulator layer by silicon oxide while constituting the semi-conductor film from silicon film thru/or 10 — the manufacture approach of the semiconductor device any or a publication.

[Claim 12] claim 7 characterized by forming the electric conduction film formed in the electrode surface of a lot with at least one sort of refractory metals of a group which consist of silicide of a tungsten, molybdenum, a tantalum, and these metals thru/or 11 — the semiconductor device of any or a publication.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] Parasitism resistance and parasitic capacitance of this invention are small, and detailed-izing is possible for it, and it relates to the electric field effect semiconductor device (FET;Field Effect Transister) and its manufacture approach of the MOS (Metal Oxide Semiconductor) mold which can aim at improvement in the engine performance.

[0002]

[Description of the Prior Art] As for MOSFET which is a basic component in Silicon LSI (Large Scale Integrated circuits), along with a fundamental concept called a proportion cutback rule, detailed-ization of a dimension has been attained to current. For example, 0.8-micrometer FET is used by gate length in 4-megabit DRAM (Dynamic Random Access Memory) which is the representation of current and LSI, and gate length has become 0.5 micrometers further with the 16 megabit DRAM with which mass production organization is ready. It is certain for the dimension of a semiconductor device to contract conjointly with an advance of a detailed-ized technique, and to continue to go.

[0003] They are also the short channel effect detailed-ization of MOSFET shown all over drawing becomes remarkable with the cutback of a dimension rather than drawing 4 displays the important section sectional view of LSI used as the 1st example of the conventional component and has been attained only by reducing the dimension of the gate electrode 10, and the result of having controlled the punch-through phenomenon effectively. The above-mentioned proportion cutback rule became a guide in this case, according to this, with the cutback of a dimension, substrate concentration was made to increase, and gate oxide 9 was made thin, and diffusion layer 4' of a source drain field has been made shallow. Although this guide must be followed in order to advance detailed-ization of FET further and to continue to go, it is also data that various detailed-ized marginal factors are becoming clear. For example, since direct tunneling happens, gate oxide 9 is said for the limitation of thin-film-izing to be about 4nm. Moreover, since the junction depth of diffusion layer 4' is also decided by diffusion of an impurity, it is difficult to make it 0.05 micrometers or less. For this reason, although substrate concentration must be raised in order to advance short channelization, lifting of substrate concentration causes lifting of threshold voltage, and causes property degradation called the increment in diffusion layer capacity, and lowering of diffusion layer pressure-proofing.

[0004] For this reason, the impurity layer (punch-through stopper) 8 which has a concentration peak in the interior of a substrate 1 is formed, and the device which lowers the concentration on the front face of a substrate is carried out as shown in JP,62-271450,A. Moreover, in the latest MOSFET, in order to lower resistance of diffusion layer 4' which forms a source drain field, or the gate electrode 10, forming the silicide film 12 etc. in those front faces is also performed. Thus, although adjustment of a device parameter has attained fine \*\*, since there is a limitation in shallow junction-ization of diffusion layer 4' as mentioned above, there is a limitation also in detailed-ization of MOSFET.

[0005] Being proposed as FET structure which solves a diffusion layer by making it shallow shows this problem to drawing 5 . Drawing 5 displays the important section sectional view of LSI used as the 2nd example of the conventional component, and the structure of an MOSFET like a graphic display is stated

to JP,60-124874,A. The description of this structure is in the point of using the impurity diffusion from oxide-film 5' for formation of diffusion layer 4'. Although this oxide-film 5' is an oxide film with which the polycrystalline silicon film which accumulates and serves as the impurity layer 4, and the gate electrode 10 are insulated, it can make shallow junction from including an impurity in this by high concentration inside a substrate 1. It has flowed through diffusion layer 4' made in the diffusion from this impurity electrically with wiring 14 through diffusion layer 4'' which accumulated and was formed of the impurity diffusion from the impurity layer 4. in addition, it uses here — " — the vocabulary which is accumulated and is called impurity layer 4'' means the thing of the electric conduction film with which the electrode (source drain electrode) of a lot consists of a part in contact with the semi-conductor substrate 1, and a part which extends in a component isolation region (here oxide film 5), as shown in drawing 5 .

[0006] Thus, it becomes possible to make shallow diffusion layer 4' unrealizable in ion implantation from using the impurity diffusion from oxide-film 5'. Moreover, it accumulates and sets like the formation fault of an impurity layer field, and since it can accumulate and an impurity can be introduced into a channel field by using the impurity layer 4 as a mask, this thing [ making the high impurity concentration directly under a diffusion layer increase beyond the need ] does not exist, and the increment in diffusion layer capacity can be controlled. In addition, in above-mentioned drawing 4 and drawing 5 , in an isolation oxide film and 5, an oxide film, and 7 and 11 show a side-attachment-wall oxide film, and, as for 2, 13 shows [ a high concentration impurity range and 3 ] an interlayer insulation film, respectively.

[0007] As stated above, compared with the thing of the conventional component structure of \*\* the 1st which showed impurity layer type MOSFET to drawing 4 by accumulating shown in drawing 5 , it has the description which was excellent in some. Since (1) gate length accumulates and is decided by the gap and the thickness of a side-attachment-wall oxide film which was accumulated and was formed in the side attachment wall of an impurity layer of an impurity layer in self align, they are being able to lower the resistance of (3) diffusion layers which the gate length below the dimension by lithography can realize and which can determine the area of (2) diffusion-layer field by self align etc. Especially the description of (1) which is the present technique when the lower limit realizable by the present mass production technology is about 0.5 micrometers and it takes into consideration that the technical problem for realizing the dimension not more than this has accumulated, and can realize a still smaller dimension is the important element which can promote detailed-ization of a component. Moreover, if it considers that the concentration of a substrate must be raised and it must go from now on also as mentioned above, with the conventional component structure of the above 1st, the increment in diffusion layer resistance and diffusion layer capacity will be inevitable, it will be this point, and the description of (2) and (3) will serve as an outstanding advantage.

[0008]

[Problem(s) to be Solved by the Invention] However, it accumulates and impurity layer type MOSFET has the technical problem that formation of a diffusion layer is very difficult so that clearly from the structure of drawing 5 shown as 2nd example of the conventional component. When this insulator layer exists, it becomes impossible to form a diffusion layer in the substrate [ directly under ] of it, although it accumulates and the impurity layer 4 and the gate electrode 10 must be electrically insulated by the insulator layer (7 5'). It is because it is necessary to accumulate and to form a diffusion layer 4 beforehand in an impurity layer type, and is because it cannot make in self align to the gate electrode 10 like the 1st conventional type MOSFET shown in drawing 4 .

[0009] With the 2nd conventional type MOSFET shown in drawing 5 , the source of diffusion and the insulation were reconciled to this problem using the impurity diffusion from oxide-film 5'. However, you may say that the impurity diffusion from oxide-film 5' is almost impossible except when quite a lot of impurities are contained in the oxide film. Furthermore, since an impurity is hardly diffused when an impurity is introduced into an oxide film by approaches, such as ion implantation, it is not realistic structure.

[0010] As mentioned above, it accumulates and the greatest fault of impurity layer type MOSFET has impurity control of a gate electrode edge in the difficult point shown in drawing 5 . Since it can serve as

an insulation, it is an ideal approach, but actually, the impurity diffusion from oxide-film 5' cannot expect impurity diffusion, if the case of being special is removed.

[0011] Therefore, the object of this invention is in the thing which were explained in the example of the conventional component of the above 2nd and for which it accumulates and the trouble of impurity layer type MOSFET is canceled, and the 1st object has the 2nd object in offering the manufacture approach, respectively like the example of the conventional component of the above 1st in the structure of the semiconductor device which can introduce the impurity by ion implantation.

[0012]

[Means for Solving the Problem] Then, by this invention, in order to attain the above-mentioned object, even if it accumulates and is impurity layer type MOSFET, the structure which can introduce the impurity by ion implantation, and its manufacture approach are realized, and the approximate account of the principle is hereafter carried out according to a drawing. This invention accumulates each of drawing 1 - drawing 3 , and they shows the important section cross section of an impurity layer type MOSFET component. When it explains on behalf of the configuration of drawing 1 , the description of this invention is the thing which were shown in drawing 5 and which it accumulates, and accumulates with the gate electrode 10 unlike an impurity layer type, and no lap part is in the impurity layer 4. For this reason, it accumulates with a gate electrode after formation of the gate electrode 10, it lets the clearance between the impurity layers 4 pass, and the ion implantation for forming diffusion layer 4' of a gate electrode edge can be performed. The lap part of diffusion layer 4' of the gate electrode 10 and a gate electrode edge is decided by this in self align, and symmetrical MOSFET is realized for a diffusion layer as well as the 1st conventional component structure shown in drawing 4 to a gate electrode.

[0013] Thus, in order to enable it [ and ] to drive in ion through that gap, accumulating the gate electrode 10 and arranging in self align in the center of the impurity layer 4, the approach of removing selectively only the insulator layer which accumulates and covers the impurity layer 4 was used so that it might mention later [ drawing 6 (c) of an example 1 explains this insulator layer concretely]. Under the present circumstances, the isolation oxide film 3 which is the same oxide film used the approach of securing a selection ratio, between isolation oxide films using the steam which uses a high concentration \*\*\*\* insulator layer for the oxide film which accumulates and covers the impurity layer 4 for an impurity, and contains fluoric acid in it, in order to make it not removed. In addition, the semiconductor device stated in the 2nd example of this invention which drawing 2 trenched the substrate 1 and formed the gate electrode 10 in the interior, and drawing 3 are the sectional views which realized the semiconductor device of a complementary type using the semiconductor device of drawing 1 .

[0014] It is as follows when the semiconductor device which has the structure of these drawing 1 - drawing 3 , and its manufacture approach are further explained to a detail here. When the configuration of a semiconductor device is explained, first, the semiconductor device of drawing 1 The gate electrode which touches through gate dielectric film on the semi-conductor substrate field which possessed the component isolation region on the semi-conductor substrate, and was surrounded in this component isolation region, A gate electrode has the electrode of a lot insulated and is electric conduction film (this is accumulated and an impurity layer is called) with which the electrode of a lot consists of a part in contact with a semi-conductor substrate, and a part which extends in a component isolation region. And between a gate electrode and the electrode of a lot, the predetermined clearance where the plane of projection does not overlap mutually exists, and it is constituted by the semiconductor device which formed in the front face of a gate electrode and the electrode of a lot further the electric conduction film which uses a metal as a principal component. Moreover, the semiconductor device of drawing 2 is constituted by the semiconductor device which formed the gate dielectric film of above-mentioned drawing 1 in the periphery of the slot arranged in the semi-conductor substrate front face. Moreover, two or more semiconductor regions where conductivity types differ through a component isolation region near the same semi-conductor substrate front face exist, the semiconductor device of the structure shown in above-mentioned drawing 1 or drawing 2 is formed, and the semiconductor device of drawing 3 is constituted by each semiconductor region.

[0015] When the manufacture approach of the semiconductor device shown in drawing 1 - drawing 3 is explained, next, the semiconductor device of drawing 1 (1) The process which prepares the semiconductor substrate of 1 electric conduction form equipped with the components separation oxide film, and forms a substrate and the semi-conductor film containing the impurity of a reverse electric conduction form in this front face, (2) the process which deposits an insulator layer on the front face of said semi-conductor film, and the semi-conductor film which (3) insulator layers deposited the process at which it separates into the electrode of a lot and a part of semi-conductor substrate front face is exposed, and (4) — the process which grows up an oxide film into said semi-conductor film and the exposed semi-conductor substrate front face — (5) The electrode of the process which forms the 1st side-attachment-wall insulator layer only in the side attachment wall of the insulator layer on said semi-conductor film and said semi-conductor film, and (6) lots is used as a mask. The process which introduces the impurity of 1 electric conduction form into the interior of a substrate, and forms a punch-through stopper field in it, (7) The process which forms gate dielectric film, the process which forms (8) gate electrodes, (9) The process which removes the insulator layer and the 1st side-attachment-wall insulator layer which were deposited on the electrode of a lot, (10) The process which introduces the impurity of a reverse electric conduction form into a semi-conductor substrate, and forms a source drain diffusion field, (11) The process which forms the 2nd side-attachment-wall insulator layer only in the side attachment wall of a gate electrode and the electrode of a lot, (12) It is obtained by the manufacture approach of the semiconductor device characterized by having the process which forms wiring which touches the electrode of a lot in the process which forms in the front face of a gate electrode and the electrode of a lot the electric conduction film which uses a metal as a principal component and (13) gate electrodes, and a list, and growing into them.

[0016] Moreover, the process at which the semiconductor device of drawing 2 forms the 1st side-attachment-wall insulator layer only in the side attachment wall of the insulator layer on the semi-conductor film of the above-mentioned process (5), and the semi-conductor film, Between the processes which use the electrode of the lot of the above-mentioned process (6) as a mask, introduce the impurity of 1 electric conduction form into the interior of a substrate, and form a punch-through stopper field It is obtained by the manufacture approach of the semiconductor device characterized by adding the process which uses the electrode of a lot as a mask and forms the slot of the predetermined depth on a semi-conductor substrate, and changing.

[0017] Moreover, the semiconductor device of drawing 3 possesses two or more semiconductor regions where (1) conductivity types differ. The organic film which covers said some of semi-conductor film is formed. the process which prepares the semi-conductor substrate with which the isolation region between components is formed, and forms the semi-conductor film in this front face and (2) — [ and ] The process which introduces the impurity of 1 electric conduction form into the field which is not covered by this organic film, (3) The process which introduces the impurity of a reverse electric conduction form by the process (2) and the same approach only to the field covered by the organic film in said process (2), (4) the process which deposits an insulator layer on the front face of said semi-conductor film, and said semi-conductor film which (5) insulator layers deposited The process which grows up an oxide film into the process at which it separates into the electrode of a lot and a part of semi-conductor substrate front face is exposed, said semi-conductor film, and the exposed semi-conductor substrate front face, The process which forms the 1st side-attachment-wall insulator layer only in the side attachment wall of the insulator layer on said semi-conductor film and the semi-conductor film, and the organic film which covers the field of (8) requests are formed. The process which uses the electrode of a lot as a mask, introduces the impurity of 1 electric conduction form into the interior of a substrate, and forms a punch-through stopper field, (9) The process which introduces the impurity of a reverse electric conduction form into the field covered by the organic film in the process 8 using the same approach as a process (8), and forms a punch-through stopper field in it, (10) The process which forms gate dielectric film, the process which forms (11) gate electrodes, the process which removes only the insulator layer on the electrode of (12) lots and said 1st side-attachment-wall



insulator layer, and the organic film which covers the field of (13) requests are formed. The process which introduces the impurity of a reverse electric conduction form and forms the 1st source drain diffusion field, (14) The process which introduces the impurity of 1 electric conduction form into the field covered by the organic film in the process (13) using the same approach as a process (13), and forms the 2nd source drain diffusion field in it, (15) The process which forms the 2nd side-attachment-wall insulator layer only in the side attachment wall of a gate electrode and the electrode of a lot, (16) It is obtained by the manufacture approach of the semiconductor device characterized by having the process which forms wiring which touches the electrode of a lot in the process which forms in the front face of a gate electrode and the electrode of a lot the electric conduction film which uses a metal as a principal component and (17) gate electrodes, and a list, and growing into them.

[0018]

[Function] As shown in drawing 1 , by accumulating with the gate electrode 10 and preparing a gap between the impurity layers 4, it can let this pass and an impurity can be introduced into the substrate 1 interior. Namely, diffusion layer 4' inside a substrate can be formed now by the high approach of the controllability of an ion implantation method. For this reason, the depth and its concentration of a diffusion layer can be controlled by high degree of accuracy, and MOSFET with high dependability with little variation can be realized. Moreover, in this structure, it cannot be overemphasized that it accumulates and the description of impurity layer type MOSFET is maintained [ be / parasitic capacitance or parasitism resistance / small ].

[0019] Moreover, as shown in drawing 2 , it becomes possible to set up freely the junction depth decided by physical relationship of the interface of diffusion layer 4' and gate oxide 9 by making into slot structure the field in which the gate electrode 10 is formed. This slot only digs a substrate 1 by using as a mask the side-attachment-wall oxide film 11 which is accumulated and is formed in the side attachment wall of the impurity layer 4, and does not need a special process so that an example may be stated to a detail. The junction depth has done effect important for detailed-izing of MOSFET, and MOSFET of such a small dimension operates to stability that it is shallow. For this reason, the MOSFET structure of having a slot as shown in drawing 2 is structure effective when promoting detailed-ization.

[0020] Drawing 3 is MOSFET of the complementary type which made MOSFET of n mold and p mold from MOSFET shown in drawing 1 , and accumulated it on the same substrate. MOSFET of this invention only changes the electric conduction form of the impurity introduced into each conductive layer, and can make MOSFET of n mold and p mold by the completely same approach. For this reason, MOSFET of a complementary type can also be manufactured as usual. MOSFET of a complementary type having small power consumption, and actuation being stable is known well.

[0021]

[Example] Hereafter, one example of this invention is concretely explained according to a drawing.  
<Example 1> According to process drawing having shown the 1st example of this invention in drawing 6 - drawing 10 , it explains to a detail first. In addition, this example realizes MOSFET of the structure shown in drawing 1 , and although the example which produced MOSFET of n mold is described, it cannot be overemphasized here that the class of impurity is only changed and it can completely make similarly about MOSFET of p mold.

[0022] As shown in drawing 6 (a), the oxide film 3 for isolation is grown up into the surface field of the semi-conductor substrate 1 of p mold. The well-known selective oxidation method is used for growth of this oxide film, and thickness of an oxide film was set to about 300nm. 2 is a high concentration field containing the impurity of the same class as the substrate 1 introduced in order to raise an isolation property. It formed using the well-known selective oxidation method.

[0023] Next, as shown in drawing 6 (b), the silicon film 4 is formed by well-known vapor growth all over a substrate. In addition, since the silicon film 4 was mentioned later, it was used as the amorphous film. Thickness of the silicon film was set to about 100nm. Since the formed film is accumulated and serves as an impurity layer as mentioned above, it must introduce an impurity into this. Since MOSFET of n mold was produced in this example, the ion implantation of Lynn was carried out as an n mold impurity.

Placing energy was set to 20KeV(s) so that Lynn which carried out ion implantation might stop at the interior of the silicon film 4 and might not reach even a substrate 1. The amount of the driven-in ion is about two  $5 \times 10^{15}$ -/cm. Although Lynn exists only in the front face immediately after ion implantation if distribution of Lynn is analyzed, it is checking this being spread over the whole silicon film by next heat treatment, and diffusing the part even inside a substrate.

[0024] Next, as shown in drawing 6 (c), an oxide film 5 is deposited on the front face of the silicon film 4, as shown in drawing, a couple accumulates this, it is processed into the configuration pattern of an impurity layer, further, this is made into a mask and etching separates the silicon film 4 of a substrate. In case etching separates the silicon film 4, it is not avoided that some front faces of a substrate 1 are also etched like a graphic display. Under the present circumstances, the irregularity of the front face which originates in crystal grain that the silicon film 4 is polycrystal will be imprinted by the substrate 1, and the substrate front face in which the channel field of MOSFET is formed will be ruined. Powerful MOSFET cannot be made from this. Then, if it is made amorphous silicon like this example, since a front face is flat like a single crystal substrate, there is no fear of a front face being ruined on the occasion of etching.

[0025] By the way, one of the descriptions of this invention is the point of removing selectively the oxide film 5 which covers the silicon film 4 which accumulates and serves as an impurity layer at a next process, as mentioned above. The concentration difference of the impurity contained in the oxide film is used for this selection clearance. Specifically, the oxide film which contains Lynn and boron by high concentration uses the phenomenon in which it is etched very quickly by the fluoric acid steam containing moisture compared with the oxide film which does not contain an impurity. Moreover, the oxide film 5 containing this impurity must be formed at low temperature 500 degrees C or less, also in order to maintain the silicon film 4 at an amorphous condition. The low dental-curing length method which deposits the oxide film which contains Lynn and boron by high concentration at 420 degrees C in this example as an oxide film 5 which can satisfy the above requirements was used.

[0026] After removing contamination of the front face by etching, as shown in drawing 6 (d), an oxide film 6 is grown up into the substrate front face 1 and the side face of the silicon film 4, and the side-attachment-wall oxide film 7 is further formed only in the side attachment wall of the silicon film 4 and the oxide film 5 on it. The construction material of an oxide film is the same as 5. By formation of this side-attachment-wall oxide film 7, a couple can accumulate and the separation width of face by thickness narrower than the separation width of face of the impurity layer 4 can be obtained. A gate electrode is formed in this field so that it may state later. Moreover, the silicon film 4 changes to polycrystalline silicon from amorphous silicon by oxidation in this process.

[0027] Next, since only the substrate field across which it faced with the side-attachment-wall oxide film 7 is exposed as shown in drawing 6 (e), the impurity range 8 used as a punch-through stopper is formed here. Using the ion implantation method, it is the energy of 20KeV extent and, specifically, boron is driven in  $5 \times 10^{12}$ -/cm<sup>2</sup>. This punch-through stopper field 8 has the role from which the depletion layer from a diffusion layer 4 protects spreading to a channel field. For this reason, a short channel effect is controlled and MOSFET with a small gate electrode dimension comes to operate normally. In addition, an oxide film 6 protects a substrate front face at the time of ion implantation, and removes it at the time of next gate formation. Since the accumulated silicon film 4 serves as a mask unlike the punch-through stopper 8 in MOSFET of the 1st conventional component structure shown in drawing 4, MOSFET of this invention is formed only directly under a gate electrode. For this reason, there is the description that diffusion layer capacity is small compared with a conventional type.

[0028] Next, as shown in drawing 7 (a), after removing an oxide film 6, about 5nm is grown up by the method of oxidizing thermally common knowledge of gate oxide 9, and further, as the gate electrode 10 is deposited and it was shown in drawing, it embeds in the slot which is accumulated and the impurity layer 4 makes. The polycrystalline silicon which includes Lynn by high concentration was used for the gate electrode 10, and the overall etching method was used for \*\*\*\* to a slot so that it might mention later. Moreover, of heat treatment accompanying growth of gate oxide 9, an impurity is spread from the

silicon film 4 and diffusion layer 4' is formed in the interior of a substrate 1. Next, as shown in drawing 7 (b), only the oxide films 5 and 7 which accumulate and cover the circumference of the impurity layer 4 are removed to selection, and it leaves the isolation oxide film 3 as it is. The already described approach is used for this. Next, as shown in drawing 7 (c), it accumulates with the gate electrode 10, and by using the impurity layer 4 as a mask, an arsenic is introduced into impurity ion and a concrete target, and the diffusion layer field of a gate electrode edge is formed in the interior of a substrate 1. In this example, the arsenic was driven in  $2 \times 10^{15} \text{--}/\text{cm}^2$  with the energy of 20KeV(s). Next, if processing which remains only in the side attachment wall of the silicon film 4 as a side-attachment-wall oxide film is performed as the oxide film was deposited and mentioned above all over the substrate, as shown in drawing 7 (d), it will accumulate with the gate electrode 10 and the slot between the impurity layers 4 will also be filled with an oxide film 11. In this phase, since the front face of the silicon film 4 which accumulates and serves as an impurity layer, and the front face of the gate electrode 10 which consists of polycrystalline silicon are exposed, as shown in drawing 8 (a), the silicide film 12 (conductive layer) can be selectively formed only on these silicon front faces 4 and 10 using the well-known Salicide technique. For example, silicide can be easily formed in the surface section by making refractory metals, such as a tungsten, molybdenum, and a tantalum, react to a silicon layer. Moreover, as this conductive layer 12, the thin film of these refractory metals other than silicide may be formed directly. And the whole surface is worn with an interlayer insulation film 13, opening of the contact hole which reaches the silicide film 12 (conductive layer) of a substrate was carried out to this, and the wiring metal 14 was formed in it, and it was made to complete the semiconductor device of this invention finally, as shown in drawing 8 (b).

[0029] As shown in drawing 7 (a) of the above-mentioned example, it is necessary to accumulate and to embed the gate electrode 10 in the semiconductor device of this invention, in the clearance between the impurity layers 4. Although the approach of carrying out overall etching of the deposited gate electrode 10 is used for this using the depth of a clearance, in this case, it will accumulate and a gate electrode will remain not only all over the clearance between the impurity layers 4 but all over a substrate. The process which processes it into a gate electrode configuration is explained to be this situation using drawing 9 and drawing 10. Drawing 9 (a) is drawing which looked at the substrate 1 shown in drawing 6 (a) from the top, the part of void is the active region of a substrate and a shadow area shows the isolation oxide film 3. It accumulates on this front face and the impurity layer 4 is formed, and further, if the side-attachment-wall oxide film 7 is formed, as shown in drawing 9 (b), only in the part of the side-attachment-wall oxide film 7, the dimension of the exposed active region will become narrow. Next, growth of gate oxide and deposition of the silicon film are performed, if overall etching is performed as mentioned above, as shown in drawing 9 (c), the oxide film 5 which accumulated and is covered with the front face of the impurity layer 4 is exposed, and will accumulate, and the silicon film will remain on the clearance between the impurity layers 4, or the isolation oxide film 3.

[0030] Then, as shown in drawing 10 (a), it leaves only the field in which the remaining silicon film is processed and accumulated on the configuration of the gate electrode 10, and the clearance between the impurity layers 4 and contact are formed. Under the present circumstances, since the width of face of a gate electrode was accumulated and was decided in the clearance between the impurity layers 4, the resist mask of the gate electrode 10 is large, and is not cared about. Next, a front face is worn with an interlayer insulation film 13, and as shown in drawing 10 (b), opening of the contact hole which accumulates with the gate electrode 10 and reaches the impurity layer 4 is carried out. And as shown in drawing 10 (c), the metal pattern of wiring 14 is formed and the semiconductor device of this invention is completed.

[0031] In the above example, the depth of the diffusion layer of a gate electrode edge and impurity distribution were decided using the ion implantation method. It is the technique which to say nothing of an ion implantation method accelerates impurity ion and is driven into the interior of a substrate, and, for this reason, depends for the depth of impurity distribution on the energy of the accelerated impurity ion. Although it is required with detailed-izing of MOSFET that a diffusion layer should be made shallow, since there is a limitation in low energy-ization as long as this ion implantation method is used, though

natural also to shallow-junction-izing, a limitation exists.

[0032] <Example 2> In the 2nd example of this invention, as drawing 2 showed previously, the field in which a gate electrode is formed was trenched and MOSFET which adjusts distribution and the depth of the diffusion layer of a gate electrode edge with this tooth depth was produced there. This example is explained using process drawing of drawing 11 - drawing 13. It is accumulating, using the impurity layer 4 as a mask, and trenching a substrate 1, as the difference from an example 1 was shown in drawing 11 (e), and processes other than this are completely the same as an example 1.

[0033] Drawing 11 (a) By - (d), the substrate with which the front face was covered with the oxide film 5 and which accumulates and has the impurity layer 4 and the isolation oxide film 3 is made. It has exposed, and the active region of the substrate which accumulated and was surrounded in the impurity layer removes the silicon of this part in the desired depth like drawing 11 (e), and forms a slot. Under the present circumstances, since it is only the field which accumulated and was surrounded in the impurity layer, having exposed does not need to prepare a mask specially on the occasion of processing of this silicon substrate. Moreover, after trenching, oxide film 6' is formed, it lets this pass, and the punch-through stopper 8 is made using ion implantation.

[0034] Future processes are completely the same as what was shown in drawing 7 of an example 1 - drawing 8, as shown in drawing 12 (a), grow up gate oxide 9 and are embedded by approach which mentioned the gate electrode 10 above. Next, the oxide film 5 which accumulated and is covered with the impurity layer 4 like drawing 12 (b) is removed selectively, it accumulates with the gate electrode 10, and the silicon film 4 of an impurity layer is exposed. And as shown in drawing 12 (c), ion implantation is performed and the configuration of the diffusion layer of a gate electrode edge is decided. Under the present circumstances, since the slot is formed in the substrate 1, a shallow diffusion layer will be effectually formed only for the part of this depth. And as shown in drawing 12 (d), it accumulates with the gate electrode 10 and the clearance between the impurity layers 4 is filled with an oxide film 11. then, the gate electrode 10 exposed as shown in drawing 13 (a) — accumulating — the front face of the impurity layer 4 — alternative — the silicide film 12 — forming — the gate electrode 10 — it accumulates and low resistance-ization of the impurity layer 4 is performed. Finally, as shown in drawing 13 (b), formation of an interlayer insulation film 13, a contact hole, and the wiring metal 14 is performed, and the same semiconductor device as the structure shown in drawing 2 is completed.

[0035] In the above example, MOSFET of one conductivity type was made into the example, and has been explained. However, in the latest LSI, the complementary type with which MOSFET of n mold and MOSFET of p mold live together must be common, and structure must be what can constitute a complementary type also in a different MOSFET like this invention conventionally. However, since [ which was shown in drawing 5 as 2nd conventional component ] it accumulated and the effectual diffusion layer was formed in impurity layer type MOSFET using the impurity diffusion from an oxide film, there was a fault of being hard to make a complementary type. In order to perform impurity diffusion from an oxide film, this must deposit the oxide film which usually contained the impurity by high concentration using the gaseous layer grown method, and is because it is difficult to change the class of impurity by the field by such depositing method. On the other hand, in the semiconductor device of this invention, since a diffusion layer is formed using an ion implantation method, there is such no problem and MOSFET of a complementary type can be realized easily.

[0036] <Example 3> Drawing 14 - drawing 15 explain the example which realizes MOSFET of the complementary type previously explained by drawing 3 as the 3rd example there. In addition, although explained using the example of the same structure as the semiconductor device shown in drawing 1 [the same structure as drawing 8 (b) of an example 1] here, it cannot be overemphasized that the thing of the same structure as the semiconductor device which formed the slot in the gate formation field as shown in drawing 2 [the same structure as drawing 13 (b) of an example 2], and the thing which combined these both structure further can also be used.

[0037] First, as shown in drawing 14 (a), after forming the isolation oxide film 3 in the semi-conductor substrate 1, n mold field 1'' and p mold field 1' are formed. These fields were called the well and used

the well-known double well formation approach in this example. Next, as shown in drawing 14 (b), the silicon film 4 which accumulates and serves as an impurity layer was deposited, and in order to form the resist mask 20 and to form the diffusion layer of p mold in n mold well, BF<sub>2</sub> ion was driven in further. Placing conditions are 20KeV(s) and about two 5x10<sup>15</sup>~/cm. Similarly, the Lynn ion implantation of \*\* which forms the diffusion layer of n mold in p mold well is also performed on conditions which were mentioned above. Next, as shown in drawing 14 (c), it accumulates by using an oxide film 5 as a mask, and the impurity layer 4 is separated. It accumulates and separation of the impurity layer 4 is performed using the same mask. Next, as shown in drawing 14 (d), it accumulates, the impurity layer 4 is covered with an oxide film (5 7), and spacing of a slot is narrowed. Furthermore, as shown in drawing 14 (e), the punch-through stopper 8 is formed, but since an arsenic and antimony are driven in in MOSFET of p mold and boron and in JUMU are driven in in MOSFET of n mold, as shown in drawing, the resist mask 20 is formed and only a desired field is exposed.

[0038] Next, as shown in drawing 15 (a), gate oxide 9 is grown up and the gate electrode 10 is embedded. And as shown in drawing 15 (b), the oxide film (5 7) which accumulates and covers the circumference of the impurity layer 4 is removed selectively, it accumulates with the gate electrode 10, and the silicon film 4 of an impurity layer is exposed. Next, as shown in drawing 15 (c), in order to form a diffusion layer, one field is covered with the resist mask 20, boron is introduced into MOSFET of p mold and an arsenic is introduced into MOSFET of n mold. And a wiring layer 14 is formed like drawing 15 (d), and MOSFET of the complementary type by this invention is completed.

[0039]

[Effect of the Invention] As explained in full detail above, this invention was able to attain the desired end. That is, the description of the semiconductor device of this invention is that it can cancel a fault, such as being hard to make control of the diffusion layer configuration in the gate electrode edge which the former accumulated and had become a problem with the impurity layer type, and complementary MOS FET, inheriting the effectiveness which accumulates and is expected by impurity layer type MOSFET.

[0040] It seems that the effectiveness which is accumulated and can be expected by impurity layer type MOSFET is shown below. First, since it accumulated and the impurity layer is jugged out on the isolation oxide film, contact to a wiring metal can be performed in an isolation area of exposed oxide. For this reason, it becomes possible to make small the diffusion layer field formed in the interior of a substrate, and effectiveness is in reduction of diffusion layer capacity. Furthermore, since a punch-through stopper is formed only directly under a gate electrode, also in this, big effectiveness is in reduction of diffusion layer capacity.

[0041] It has the description in which the semiconductor device of this invention was excellent also for the reduction in resistance of a diffusion layer. Even if the silicide film for forming a diffusion layer into low resistance is becoming thin in connection with a diffusion layer becoming shallow and it forms the silicide film for this reason, resistance has stopped falling to the expected forge fire in MOSFET of structure conventionally. On the other hand, in the semiconductor device of this invention, since it accumulates and the substantial diffusion layer is thick by the impurity layer, sufficient thickness which also needs a silicide layer for the reduction in resistance is securable.

[0042] Furthermore, since the former accumulates and impurity distribution of the diffusion layer of a gate electrode edge is controlled by this invention by the ion implantation method unlike impurity layer type MOSFET, as the example also explained, the depth of an effectual diffusion layer can be made below into an ion implantation limitation by combining with the process which it is easy to make a complementary type, and trenches a substrate. For this reason, even if it makes MOSFET of this invention detailed, it can secure normal actuation.

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] The sectional view explaining the structure of the semiconductor device used as the principle of this invention, and the 1st example.

[Drawing 2] The sectional view explaining the structure of the semiconductor device used as the principle of this invention, and the 2nd example.

[Drawing 3] The sectional view explaining the structure of the semiconductor device used as the principle of this invention, and the 3rd example.

[Drawing 4] The sectional view of MOSFET used as the 1st conventional component structure.

[Drawing 5] It becomes the 2nd conventional component structure, accumulates, and is the sectional view of impurity layer type MOSFET.

[Drawing 6] The sectional view showing the production process of the semiconductor device used as the 1st example of this invention.

[Drawing 7] The sectional view showing the production process of the semiconductor device which similarly serves as the 1st example.

[Drawing 8] The sectional view showing the production process of the semiconductor device which similarly serves as the 1st example.

[Drawing 9] The top view showing the production process of the semiconductor device which similarly serves as the 1st example.

[Drawing 10] The top view showing the production process of the semiconductor device which similarly serves as the 1st example.

[Drawing 11] The sectional view showing the production process of the semiconductor device which similarly serves as the 2nd example.

[Drawing 12] The sectional view showing the production process of the semiconductor device which similarly serves as the 2nd example.

[Drawing 13] The sectional view showing the production process of the semiconductor device which similarly serves as the 2nd example.

[Drawing 14] The sectional view showing the production process of the complementary-type semiconductor device which similarly serves as the 3rd example.

[Drawing 15] The sectional view showing the production process of the complementary-type semiconductor device which similarly serves as the 3rd example.

[Description of Notations]

1 — Semi-conductor substrate, 2 — A high concentration impurity range, 3 — Isolation oxide film, 4 — It accumulates and they are an impurity layer, 4', and 4". — The diffusion layer inside the semiconductor substrate which accumulated and was formed by the impurity diffusion from an impurity layer, 5 — An oxide film, 5' — The oxide film which contains an impurity by high concentration, 6, 6' — Oxide film, 7 — A side-attachment-wall oxide film, 8 — Punch-through stopper 9 [ 11. / — An interlayer insulation film, 14 / — Wiring and 20 / — Resist mask. / — A side-attachment-wall oxide film, 12 — The silicide film and 13 ] — Gate oxide, 10 — Gate electrode

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-161979

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78

21/336

識別記号

庁内整理番号

F I

技術表示箇所

7514-4M

H 0 1 L 29/78

3 0 1 P

審査請求 未請求 請求項の数12 O L (全 13 頁)

(21) 出願番号 特願平5-307801

(22) 出願日 平成5年(1993)12月8日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 木村 紳一郎

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 野田 浩正

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 薄田 利幸

#### (54) 【発明の名称】 半導体装置およびその製造方法

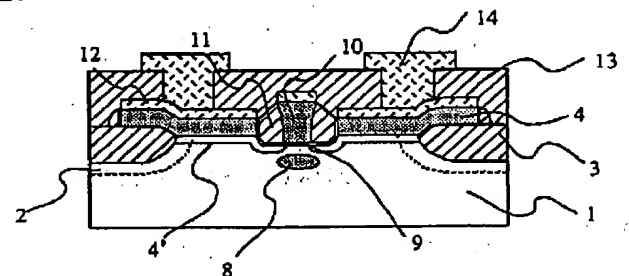
#### (57) 【要約】

【目的】 接合深さを実効的に浅く、微細化しても短チャネル効果が抑制でき、かつ、寄生容量や寄生抵抗を増加させずに性能向上が図れるMOSFETを実現することにある。

【構成】 半導体基板1の活性領域に接する一対の積み上げ不純物層4を有し、この積み上げ不純物層4の間隙に、積み上げ不純物層4とは重なり部分のないゲート電極10を配設し、かつ、積み上げ不純物層4とゲート電極10の表面には、シリサイド膜12を形成して低抵抗化した構造のMOSFETとする。

【効果】 積み上げ不純物層構造によって、拡散層の寄生抵抗や寄生容量の増加が抑制され、かつ、積み上げ不純物層の間隙にゲート電極を配設することで、リソグラフィで決まる寸法よりさらに小さなゲート電極が実現でき、さらには、実効的な拡散層の深さを浅くすることができる。この結果、MOSFETの微細化と性能向上が達成される。

図1





(2)

## 【特許請求の範囲】

【請求項1】半導体基板上に素子分離領域を具備し、この素子分離領域で囲まれた半導体基板領域上に、ゲート絶縁膜を介して接するゲート電極と、ゲート電極とは絶縁されている一組の電極とを有し、一組の電極は半導体基板に接触する部分と素子分離領域に延在する部分とからなる導電膜であり、かつ、ゲート電極と一組の電極との間にはその投影面が互いに重なり合わない所定の隙間が存在し、さらには、ゲート電極および一組の電極の表面には、金属を主成分とする導電膜が形成されていることを特徴とする半導体装置。

【請求項2】ゲート絶縁膜は、半導体基板表面に配設した溝の周辺部に形成されることを特徴とする請求項1記載の半導体装置。

【請求項3】同一半導体基板表面近傍に素子分離領域を介して導電型の異なる複数の半導体領域が存在し、前記半導体領域に請求項1記載の半導体装置が形成されていることを特徴とする半導体装置。

【請求項4】ゲート電極および一組の電極の表面に形成される導電膜を高融点金属で構成したことを特徴とする請求項1乃至3何れか記載の半導体装置。

【請求項5】ゲート電極の投影面下の半導体基板内にパンチスルーストップとなる不純物領域を配設したことを特徴とする請求項1乃至3何れか記載の半導体装置。

【請求項6】一組の電極表面に形成される導電膜を、タングステン、モリブデン、タンタルおよびこれら金属のシリサイドからなる群の少なくとも1種の高融点金属で構成したことを特徴とする請求項1乃至3何れか記載の半導体装置。

【請求項7】(1)素子間分離酸化膜を備えた一導電形の半導体基板を用意し、この表面に基板と反対導電形の不純物を含んだ半導体膜を形成する工程、(2)前記半導体膜の表面に絶縁膜を堆積する工程、(3)絶縁膜が堆積された半導体膜を、一組の電極に分離して半導体基板表面の一部を露出させる工程、(4)前記半導体膜および露出した半導体基板表面に酸化膜を成長させる工程、(5)前記半導体膜および前記半導体膜上の絶縁膜の側壁にのみ、第1の側壁絶縁膜を形成する工程、

(6)一組の電極をマスクにして、基板の内部に一導電形の不純物を導入しパンチスルーストップ領域を形成する工程、(7)ゲート絶縁膜を形成する工程、(8)ゲート電極を形成する工程、(9)一組の電極上に堆積された絶縁膜と第1の側壁絶縁膜とを除去する工程、(10)半導体基板に反対導電形の不純物を導入してソース・ドレイン拡散領域を形成する工程、(11)ゲート電極および一組の電極の側壁にのみ、第2の側壁絶縁膜を形成する工程、(12)ゲート電極および一組の電極の表面に、金属を主成分とする導電膜を形成する工程、および(13)ゲート電極、並びに一組の電極に接する配線を形成する工程を有して成ることを特徴とする半導体

装置の製造方法。

【請求項8】工程(5)の半導体膜および半導体膜上の絶縁膜の側壁にのみ、第1の側壁絶縁膜を形成する工程と、工程(6)の一組の電極をマスクにして、基板の内部に一導電形の不純物を導入しパンチスルーストップ領域を形成する工程との間に、一組の電極をマスクにして半導体基板上に所定深さの溝を形成する工程を付加して成ることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】(1)導電型の異なる複数の半導体領域を具備し、かつ、素子間分離領域が形成されている半導体基板を用意し、この表面に半導体膜を形成する工程、

(2)前記半導体膜の一部を被う有機膜を形成して、この有機膜で被われていない領域に一導電形の不純物を導入する工程、(3)前記工程(2)において有機膜で被われていた領域にのみ工程(2)と同じ方法で反対導電形の不純物を導入する工程、(4)前記半導体膜の表面に絶縁膜を堆積する工程、(5)絶縁膜が堆積された前記半導体膜を、一組の電極に分離し、半導体基板表面の一部を露出させる工程、前記半導体膜および露出した半導体基板表面に酸化膜を成長させる工程、前記半導体膜および半導体膜上の絶縁膜の側壁にのみ、第1の側壁絶縁膜を形成する工程、(8)所望の領域を被う有機膜を形成して、一組の電極をマスクにして、基板の内部に一導電形の不純物を導入しパンチスルーストップ領域を形成する工程、(9)工程8において有機膜で被われていた領域に、工程(8)と同じ方法を用いて反対導電形の不純物を導入しパンチスルーストップ領域を形成する工程、(10)ゲート絶縁膜を形成する工程、(11)ゲート電極を形成する工程、(12)一組の電極上の絶縁膜と前記第1の側壁絶縁膜のみを除去する工程、(13)所望の領域を被う有機膜を形成して、反対導電形の不純物を導入して第1のソース・ドレイン拡散領域を形成する工程、(14)工程(13)において有機膜で被われていた領域に、工程(13)と同じ方法を用いて一導電形の不純物を導入して第2のソース・ドレイン拡散領域を形成する工程、(15)ゲート電極および一組の電極の側壁にのみ、第2の側壁絶縁膜を形成する工程、(16)ゲート電極および一組の電極の表面に、金属を主成分とする導電膜を形成する工程、および(17)ゲート電極、並びに一組の電極に接する配線を形成する工程を有して成ることを特徴とする半導体装置の製造方法。

【請求項10】一組の電極である半導体膜の表面および側壁を被う絶縁膜は、ボロンもしくはリン、もしくは、その両方を高濃度で含む酸化膜であり、かつ、この酸化膜を、フッ酸の蒸気を含む雰囲気中で除去することを特徴とする請求項7乃至9何れか記載の半導体装置の製造方法。

【請求項11】半導体膜をシリコン膜で構成すると共



(3)

3

に、絶縁膜をシリコン酸化膜で形成する工程として成ることを特徴とする請求項7乃至10何れか記載の半導体装置の製造方法。

【請求項12】一組の電極表面に形成する導電膜を、タングステン、モリブデン、タンタルおよびこれら金属のシリサイドからなる群の少なくとも1種の高融点金属で形成したことを特徴とする請求項7乃至11何れか記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、寄生抵抗や寄生容量が小さく、かつ微細化が可能で、性能の向上が図れるMOS (Metal Oxide Semiconductor) 型の電界効果半導体装置 (FET; Field Effect Transister)、およびその製造方法に関する。

【0002】

【従来の技術】シリコンLSI (Large Scale Integrated circuits) における基本素子であるMOSFETは、現在まで、比例縮小則という基本概念に沿って、寸法の微細化が達成されてきた。例えば、現在、LSIの代表である、4メガビットDRAM (Dynamic Random Access Memory) では、ゲート長で0.8  $\mu\text{m}$  のFETが使われており、さらに、量産体制の整いつつある16メガビットDRAMでは、ゲート長は0.5  $\mu\text{m}$  になっている。今後も微細化技術の進歩と相俟って、半導体素子の寸法が縮小して行くのは間違いない。

【0003】図4は、第1の従来素子例となるLSIの要部断面図を表示したものであり、図中に示したMOSFETの微細化は、単にゲート電極10の寸法を縮小するだけで達成されてきたのではなく、寸法の縮小に伴って顕著になる短チャネル効果や、パンチスルー現象を効果的に抑制してきた結果でもある。この際の指針となったのが上記の比例縮小則であり、これに従って、寸法の縮小と共に、基板濃度を増加させ、ゲート酸化膜9を薄くし、かつ、ソースドレイン領域の拡散層4'を浅くしてきた。今後もさらにFETの微細化を進めて行くためにはこの指針に従わざるを得ないが、しかしながら、様々な微細化限界要因が明らかになってきているのも事実である。例えば、ゲート酸化膜9は、直接トンネル現象が起こるために、薄膜化の限界は4nm程度であると言われている。また、拡散層4'の接合深さも、不純物の拡散で決まるために、0.05  $\mu\text{m}$  以下にするのは難しい。このため、短チャネル化を進めるためには、基板濃度を上昇させなければならないが、基板濃度の上昇はしきい電圧の上昇を招き、かつ、拡散層容量の増加、拡散層耐圧の低下という特性劣化の原因となる。

【0004】このため、特開昭62-271450号公報に示されているように、基板1の内部に濃度ピークを持つ不純物層 (パンチスルーストップ) 8を形成し、基板表面の濃度は下げる工夫がされている。また、最近の

4

MOSFETでは、ソースドレイン領域を形成する拡散層4'やゲート電極10の抵抗を下げるために、それらの表面にシリサイド膜12などを形成することも行われている。このように、デバイスパラメータの調整により微細を達成してきたが、上述したように、拡散層4'の浅接合化には限界があるために、MOSFETの微細化にも限界がある。

【0005】この問題を、拡散層を浅くすることで解決するFET構造として提案されているのが、図5に示したものである。図5は、第2の従来素子例となるLSIの要部断面図を表示したものであり、図示のようなMOSFETの構造は、特開昭60-124874号公報に述べられている。この構造の特徴は、拡散層4'の形成に、酸化膜5'からの不純物拡散を用いる点にある。この酸化膜5'は、積み上げ不純物層4となる多結晶シリコン膜とゲート電極10とを絶縁する酸化膜であるが、これに高濃度で不純物を含ませることで、基板1の内部に浅い接合を作ることができる。この不純物からの拡散でできた拡散層4'は、積み上げ不純物層4からの不純物拡散によって形成された拡散層4"を介して配線14と電気的に導通している。なお、ここで用いる「積み上げ不純物層4」という用語は、図5に示すように、一組の電極 (ソース・ドレイン電極) が半導体基板1に接触する部分と素子分離領域 (ここでは酸化膜5) に延在する部分とからなる導電膜のことを意味する。

【0006】このように、酸化膜5'からの不純物拡散を用いることで、イオン打ち込みでは実現できない浅い拡散層4'を作ることが可能となる。また、積み上げ不純物層領域の形成過程において、この積み上げ不純物層4をマスクとして、チャネル領域に不純物を導入することができるので、拡散層直下の不純物濃度を必要以上に増加させることがなく、拡散層容量の増加を抑制できる。なお、上記図4および図5において、2は高濃度不純物領域、3は素子分離酸化膜、5は酸化膜、7および11は側壁酸化膜、13は層間絶縁膜をそれぞれ示す。

【0007】以上述べてきたように、図5に示した積み上げ不純物層型のMOSFETは、図4に示した第1の従来素子構造のものに比べて、幾つかの優れた特徴を有している。それらは、(1)ゲート長が、積み上げ不純物層の間隙と、その積み上げ不純物層の側壁に形成した側壁酸化膜の膜厚で自己整合的に決まるので、リソグラフィによる寸法以下のゲート長が実現できる、(2)拡散層領域の面積を自己整合で決めることができる、

(3)拡散層の抵抗を下げることもできる、などである。特に、現状の量産技術で実現できる最小寸法が0.5  $\mu\text{m}$  程度であり、かつ、これ以下の寸法を実現するための技術課題が累積していることを考慮すると、現状の技術で、さらに小さな寸法が実現できる(1)の特徴は、素子の微細化を促進できる重要な要素である。また、上述したように、今後も基板の濃度を上げて行かな

(4)

5  
 ければならないことを考えると、上記第1の従来素子構造では、拡散層抵抗および拡散層容量の増加は必至であり、この点で、(2)、(3)の特徴は優れた利点となる。

#### 【0008】

【発明が解決しようとする課題】しかしながら、第2の従来素子例として示した図5の構造から明らかなように、積み上げ不純物層型のMOSFETは、拡散層の形成が非常に難しいという課題がある。積み上げ不純物層4とゲート電極10は、絶縁膜(7、5')で電気的に絶縁されていなければならないが、この絶縁膜が存在すると、その直下の基板には拡散層を形成することができなくなる。なぜならば、積み上げ不純物層型では、拡散層4を予め形成しておく必要があるからで、図4に示した第1の従来型MOSFETのように、ゲート電極10に対して、自己整合的に作ることができないからである。

【0009】この問題に対して、図5に示した第2の従来型MOSFETでは、酸化膜5'からの不純物拡散を用いて、拡散源と絶縁を両立させていた訳である。しかし、酸化膜5'からの不純物拡散は、その酸化膜の中になんまり多量の不純物が含まれている場合以外は、ほとんど不可能と言ってよい。ましてや、イオン打ち込み等の方法で酸化膜に不純物を導入した場合には、不純物はほとんど拡散しないので、現実的な構造ではない。

【0010】上述したように、図5に示した積み上げ不純物層型MOSFETの最大の欠点は、ゲート電極端の不純物制御が困難な点にある。酸化膜5'からの不純物拡散は、絶縁を兼ねることができるので理想的な方法であるが、現実には、不純物拡散は、特殊な場合を除いては期待できない。

【0011】したがって、本発明の目的は、上記第2の従来素子例で説明した積み上げ不純物層型MOSFETの問題点を解消することであり、第1の目的は上記第1の従来素子例と同じように、イオン打ち込みによる不純物の導入が行える半導体装置の構造を、第2の目的はその製造方法をそれぞれ提供することにある。

#### 【0012】

【課題を解決するための手段】そこで、上記目的を達成するために、本発明では、積み上げ不純物層型MOSFETであっても、イオン打ち込みによる不純物の導入が行える構造およびその製造方法を実現したものであり、以下、その原理を図面に示したがつて概略説明する。図1～図3は、いずれも本発明の積み上げ不純物層型MOSFET素子の要部断面を示したものである。図1の構成を代表して説明すると、本発明の特徴は、図5に示した積み上げ不純物層型と異なり、ゲート電極10と積み上げ不純物層4には、重なり部分がないことである。このため、ゲート電極10の形成後にゲート電極と積み上げ不純物層4の隙間を通して、ゲート電極端の拡散層4'

6

を形成するためのイオン打ち込みが行える。これによって、自己整合的にゲート電極10とゲート電極端の拡散層4'の重なり部分が決まり、図4に示した第1の従来素子構造と同じように、拡散層がゲート電極に対して対称であるMOSFETが実現される。

【0013】このように、ゲート電極10を積み上げ不純物層4の中央に自己整合的に配置をしながら、かつ、その間隙を通してイオンが打ち込めるようにするためには、後述するように、積み上げ不純物層4を被う絶縁膜だけを、選択的に除去する方法を用いた〔この絶縁膜については、実施例1の図6(c)で具体的に説明する〕。この際、同じ酸化膜である素子分離酸化膜3は除去されないようにするために、積み上げ不純物層4を被う酸化膜には、不純物を高濃度含む絶縁膜を使用し、かつ、フッ酸を含む水蒸気を用いて、素子分離酸化膜との間には選択比を確保する方法を用いた。なお、図2は、基板1に溝を掘ってその内部にゲート電極10を形成した本発明の第2の実施例で述べられている半導体装置、および図3は、図1の半導体装置を用いて相補型の半導体装置を実現した断面図である。

【0014】ここで、これら図1～図3の構造を有する半導体装置およびその製造方法について、さらに詳細に説明すると以下の通りである。まず、半導体装置の構成について説明すると、図1の半導体装置は、半導体基板上に素子分離領域を具備し、この素子分離領域で囲まれた半導体基板領域上に、ゲート絶縁膜を介して接するゲート電極と、ゲート電極とは絶縁されている一組の電極とを有し、一組の電極は半導体基板に接触する部分と素子分離領域に延在する部分とからなる導電膜(これを積み上げ不純物層と称する)であり、かつ、ゲート電極と一組の電極との間にはその投影面が互いに重なり合わない所定の隙間が存在し、さらには、ゲート電極および一組の電極の表面には、金属を主成分とする導電膜を形成した半導体装置により構成される。また、図2の半導体装置は、上記図1のゲート絶縁膜を、半導体基板表面に配設した溝の周辺部に形成した半導体装置により構成される。また、図3の半導体装置は、同一半導体基板表面近傍に素子分離領域を介して導電型の異なる複数の半導体領域が存在し、それぞれの半導体領域に上記図1もしくは図2に示した構造の半導体装置が形成されて構成される。

【0015】次に、図1～図3に示した半導体装置の製造方法について説明すると、図1の半導体装置は、

(1)素子間分離酸化膜を備えた一導電形の半導体基板を用意し、この表面に基板と反対導電形の不純物を含んだ半導体膜を形成する工程、(2)前記半導体膜の表面に絶縁膜を堆積する工程、(3)絶縁膜が堆積された半導体膜を、一組の電極に分離して半導体基板表面の一部を露出させる工程、(4)前記半導体膜および露出した半導体基板表面に酸化膜を成長させる工程、(5)前記

(5)

7

半導体膜および前記半導体膜上の絶縁膜の側壁にのみ、第1の側壁絶縁膜を形成する工程、(6)一組の電極をマスクにして、基板の内部に一導電形の不純物を導入しパンチスルーストップ領域を形成する工程、(7)ゲート絶縁膜を形成する工程、(8)ゲート電極を形成する工程、(9)一組の電極上に堆積された絶縁膜と第1の側壁絶縁膜とを除去する工程、(10)半導体基板に反対導電形の不純物を導入してソース・ドレイン拡散領域を形成する工程、(11)ゲート電極および一組の電極の側壁にのみ、第2の側壁絶縁膜を形成する工程、(12)ゲート電極および一組の電極の表面に、金属を主成分とする導電膜を形成する工程、および(13)ゲート電極、並びに一組の電極に接する配線を形成する工程を有して成ることを特徴とする半導体装置の製造方法により得られる。

【0016】また、図2の半導体装置は、上記工程

(5)の半導体膜および半導体膜上の絶縁膜の側壁にのみ、第1の側壁絶縁膜を形成する工程と、上記工程

(6)の一組の電極をマスクにして、基板の内部に一導電形の不純物を導入しパンチスルーストップ領域を形成する工程との間に、一組の電極をマスクにして半導体基板上に所定深さの溝を形成する工程を付加して成ることを特徴とする半導体装置の製造方法により得られる。

【0017】また、図3の半導体装置は(1)導電型の異なる複数の半導体領域を具備し、かつ、素子間分離領域が形成されている半導体基板を用意し、この表面に半導体膜を形成する工程、(2)前記半導体膜の一部を被う有機膜を形成して、この有機膜で被われていない領域に一導電形の不純物を導入する工程、(3)前記工程

(2)において有機膜で被われていた領域にのみ工程

(2)と同じ方法で反対導電形の不純物を導入する工程、(4)前記半導体膜の表面に絶縁膜を堆積する工程、(5)絶縁膜が堆積された前記半導体膜を、一組の電極に分離し、半導体基板表面の一部を露出させる工程、前記半導体膜および露出した半導体基板表面に酸化膜を成長させる工程、前記半導体膜および半導体膜上の絶縁膜の側壁にのみ、第1の側壁絶縁膜を形成する工程、(8)所望の領域を被う有機膜を形成して、一組の電極をマスクにして、基板の内部に一導電形の不純物を導入しパンチスルーストップ領域を形成する工程、

(9)工程8において有機膜で被われていた領域に、工程(8)と同じ方法を用いて反対導電形の不純物を導入しパンチスルーストップ領域を形成する工程、(10)ゲート絶縁膜を形成する工程、(11)ゲート電極を形成する工程、(12)一組の電極上の絶縁膜と前記第1の側壁絶縁膜のみを除去する工程、(13)所望の領域を被う有機膜を形成して、反対導電形の不純物を導入して第1のソース・ドレイン拡散領域を形成する工程、

(14)工程(13)において有機膜で被われていた領域に、工程(13)と同じ方法を用いて一導電形の不純物を導入して第2のソース・ドレイン拡散領域を形成する工程、(15)ゲート電極および一組の電極の側壁にのみ、第2の側壁絶縁膜を形成する工程、(16)ゲート電極および一組の電極の表面に、金属を主成分とする導電膜を形成する工程、および(17)ゲート電極、並びに一組の電極に接する配線を形成する工程を有して成ることを特徴とする半導体装置の製造方法により得られる。

8

物を導入して第2のソース・ドレイン拡散領域を形成する工程、(15)ゲート電極および一組の電極の側壁にのみ、第2の側壁絶縁膜を形成する工程、(16)ゲート電極および一組の電極の表面に、金属を主成分とする導電膜を形成する工程、および(17)ゲート電極、並びに一組の電極に接する配線を形成する工程を有して成ることを特徴とする半導体装置の製造方法により得られる。

【0018】

【作用】図1に示したように、ゲート電極10と積み上げ不純物層4との間に間隙を設けることで、ここを通して、基板1内部に不純物を導入することができる。すなわち、基板内部の拡散層4'を、イオン打ち込み法という制御性の高い方法で形成できるようになる。このため、拡散層の深さやその濃度を高精度で制御でき、バラツキの少ない信頼性の高いMOSFETが実現できる。また、この構造においても、寄生容量や寄生抵抗が小さいという、積み上げ不純物層型MOSFETの特徴は維持されるのは言うまでもない。

【0019】また、図2に示したように、ゲート電極10が形成される領域を溝構造にすることで、拡散層4'とゲート酸化膜9との界面の位置関係で決まる接合深さを、自由に設定することが可能となる。この溝は、実施例において詳細に述べるように、積み上げ不純物層4の側壁に形成する側壁酸化膜11をマスクとして基板1を掘るだけであり、特別な工程を必要としない。接合深さは、MOSFETの微細化に重要な影響を及ぼしており、それが浅いほど小さな寸法のMOSFETが安定に動作する。このため、図2に示したような溝を有するMOSFET構造は、微細化を促進する上で有効な構造である。

【0020】図3は、図1に示したMOSFETでn型およびp型のMOSFETを作り、それを、同一基板上に集積した相補型のMOSFETである。本発明のMOSFETは、各導電層に導入する不純物の導電形を変えるだけで、n型およびp型のMOSFETを、まったく同じ方法で作ることができる。このため、相補型のMOSFETも、従来と同様に製造することができる。相補型のMOSFETは、消費電力が小さく、また、動作が安定であることは良く知られたことである。

【0021】

【実施例】以下、本発明の一実施例を図面に従って具体的に説明する。

(実施例1) 先ず、本発明の第1の実施例を図6～図10に示した工程図にしたがって詳細に説明する。なお、この例は図1に示した構造のMOSFETを実現するものであり、ここでは、n型のMOSFETを作製した例について述べるが、p型のMOSFETに関しても、不純物の種類を変えるだけで、まったく同じように作ることができるのは言うまでもない。

(6)

9

【0022】図6(a)に示したように、p型の半導体基板1の表面領域に素子分離用の酸化膜3を成長させる。この酸化膜の成長には、周知の選択酸化法を用いており、酸化膜の厚さは300nm程度とした。2は素子分離特性を向上させるために導入してある基板1と同じ種類の不純物を含んだ高濃度領域である。周知の選択酸化法を用いて形成した。

【0023】次に、図6(b)に示したように、基板全面にシリコン膜4を、周知の気相成長法で形成する。なお、シリコン膜4は後述する理由から、非晶質膜とした。シリコン膜の厚さは約100nmとした。形成した膜は、前述したように、積み上げ不純物層となるので、これに不純物を導入しなければならない。本実施例ではn型のMOSFETを作製するので、n型不純物としてリンをイオン打ち込みした。イオン打ち込みしたリンがシリコン膜4の内部に留まり、基板1にまで達することのないように、打ち込みエネルギーは20KeVとした。打ち込んだイオンの量は $5 \times 10^{15}/\text{cm}^2$ 程度である。リンの分布を分析してみると、イオン打ち込みの直後には、表面にのみリンが存在しているが、これが、後の熱処理によって、シリコン膜全体に渡って拡散し、かつ、その一部は基板の内部にまで拡散することを確認している。

【0024】次に、図6(c)に示したように、シリコン膜4の表面に酸化膜5を堆積し、これを、図に示したように一対の積み上げ不純物層の形状パターンに加工し、さらに、これをマスクにして下地のシリコン膜4をエッチングにより分離する。シリコン膜4をエッチングにより分離する際に、図示のように基板1の表面も多少エッチングされることは避けられない。この際、シリコン膜4が多結晶であると、結晶粒に起因する表面の凹凸が基板1に転写されてしまい、MOSFETのチャネル領域が形成される基板表面が荒れてしまう。これでは、性能の良いMOSFETを作ることはできない。そこで、この例のように非晶質シリコンにすると、表面は単結晶基板と同じように平坦なので、エッチングに際して表面が荒れる心配はない。

【0025】ところで、本発明の特徴のひとつは、前述したように、積み上げ不純物層となるシリコン膜4を被う酸化膜5を、後の工程で選択的に除去する点である。この選択除去には、酸化膜に含まれている不純物の濃度差を利用する。具体的には、リンやボロンを高濃度で含む酸化膜は、水分を含んだフッ酸蒸気によって、不純物を含まない酸化膜に比べて、非常に速くエッチングされるという現象を利用している。また、この不純物を含んだ酸化膜5は、シリコン膜4を非晶質の状態に保つためにも、500℃以下の低温で形成しなければならない。以上の要件を満たすことのできる酸化膜5として、本実施例においては、リンとボロンを高濃度で含む酸化膜を、420℃で堆積する低温成長法を用いた。

10

【0026】エッチングによる表面の汚染を除去した後、図6(d)に示したように、基板表面1とシリコン膜4の側面に酸化膜6を成長させ、さらに、シリコン膜4とその上の酸化膜5の側壁にのみ、側壁酸化膜7を形成する。酸化膜の材質は、5と同じである。この側壁酸化膜7の形成によって、一対の積み上げ不純物層4の分離幅より、膜厚分だけ狭い分離幅を得ることができる。この領域に、後に述べるように、ゲート電極が形成される。また、本工程における酸化によって、シリコン膜4は、非晶質シリコンから多結晶シリコンに変わる。

【0027】次に、図6(e)に示したように、側壁酸化膜7で挟まれた基板領域のみが露出しているの、ここにパンチスルーストップとなる不純物領域8を形成する。具体的には、イオン打ち込み法を用いて、ボロンを20KeV程度のエネルギーで、 $5 \times 10^{12}/\text{cm}^2$ 打ち込んでいる。このパンチスルーストップ領域8は、拡散層4からの空乏層が、チャネル領域に広がるのを防ぐ役割がある。このため、短チャネル効果が抑制され、ゲート電極寸法の小さなMOSFETが正常に動作するようになる。なお、酸化膜6はイオン打ち込み時に基板表面を保護するものであり、この後のゲート形成時には除去してしまうものである。本発明のMOSFETは、図4に示した第1の従来素子構造のMOSFETにおけるパンチスルーストップ8と異なり、積み上げたシリコン膜4がマスクとなるために、ゲート電極の直下にしか形成されない。このため、拡散層容量が従来型に比べて小さいという特徴がある。

【0028】次に、図7(a)に示したように、酸化膜6を除去した後にゲート酸化膜9を周知の熱酸化法で5nm程度成長させ、さらに、ゲート電極10を堆積して、図に示したように、積み上げ不純物層4の作る溝に埋め込む。ゲート電極10には、リンを高濃度で含む多結晶シリコンを使用し、溝への埋込には、後述するように、全面エッチング法を用いた。また、ゲート酸化膜9の成長に伴う熱処理によって、シリコン膜4から不純物が拡散し、基板1の内部に拡散層4'が形成される。次に、図7(b)に示したように、積み上げ不純物層4の周辺を被う酸化膜5および7だけを選択に除去し、素子分離酸化膜3はそのまま残す。これには既に述べてきた方法を用いる。次に、図7(c)に示したように、ゲート電極10と積み上げ不純物層4をマスクとして、基板1の内部に不純物イオン、具体的には、ヒ素を導入してゲート電極端の拡散層領域を形成する。本実施例では、ヒ素を20KeVのエネルギーで、 $2 \times 10^{15}/\text{cm}^2$ 打ち込んだ。次に、基板全面に酸化膜を堆積して、前述したように、シリコン膜4の側壁にのみ側壁酸化膜として残るような処理を行うと、図7(d)に示したように、ゲート電極10と積み上げ不純物層4の間の溝も酸化膜11で埋められる。この段階では、積み上げ不純物層となるシリコン膜4の表面と、多結晶シリコンからな

(7)

11

るゲート電極10の表面が露出しているので、図8

(a)に示したように、周知のシリサイド技術を用いて、これらシリコン表面4および10の上にのみ、選択的にシリサイド膜12(導電層)を形成することができる。例えばタングステン、モリブデン、タンタル等の高融点金属をシリコン層に反応させることにより、その表層部にシリサイドを容易に形成することができる。また、この導電層12としては、シリサイドの他に、これら高融点金属の薄膜を直接形成しても良い。そして最後に、図8(b)に示したように、全面を層間絶縁膜13で被い、これに、下地のシリサイド膜12(導電層)に達するコンタクト孔を開口し、配線金属14を形成して、本発明の半導体装置を完成させた。

【0029】本発明の半導体装置では、上記の実施例の図7(a)に示したように、積み上げ不純物層4の隙間にゲート電極10を埋め込む必要がある。これには、隙間の深さを利用して、堆積したゲート電極10を全面エッチングする方法を用いるが、この際、積み上げ不純物層4の隙間だけではなく、基板の全面にゲート電極が残ってしまう。この様子と、それをゲート電極形状に加工する工程を、図9、図10を用いて説明する。図9

(a)は、図6(a)に示した基板1を上から見た図であり、白抜きの部分が基板の活性領域であり、斜線部分が素子分離酸化膜3を示す。この表面に積み上げ不純物層4を形成し、さらに、側壁酸化膜7を形成すると、図9(b)に示したように、露出した活性領域の寸法が、側壁酸化膜7の分だけ狭くなる。次に、ゲート酸化膜の成長、シリコン膜の堆積を行って、前述したように全面エッチングを行うと、図9(c)に示したように、積み上げ不純物層4の表面を被っている酸化膜5が露出し、積み上げ不純物層4の隙間や素子分離酸化膜3上に、シリコン膜が残る。

【0030】そこで、図10(a)に示したように、残ったシリコン膜をゲート電極10の形状に加工し、積み上げ不純物層4の隙間とコンタクトが形成される領域のみを残す。この際、ゲート電極の幅は、積み上げ不純物層4の隙間で決まっているので、ゲート電極10のレジストマスクは、大きいもので構わない。次に、表面を層間絶縁膜13で被い、図10(b)に示したように、ゲート電極10と積み上げ不純物層4に達するコンタクト孔を開口する。そして、図10(c)に示したように、配線14の金属パターンを形成して、本発明の半導体装置を完成する。

【0031】以上の実施例では、ゲート電極端の拡散層の深さや不純物分布は、イオン打ち込み法を用いて決めていた。イオン打ち込み法は言うまでもなく、不純物イオンを加速して基板内部に打ち込む技術であり、このため、不純物分布の深さは、加速された不純物イオンのエネルギーに依存する。MOSFETの微細化に伴って、拡散層を浅くすることが要求されるが、このイオン打ち

12

込み法を用いる限り、低エネルギー化には限界があるので、浅接合化にも当然ながら限界が存在する。

【0032】〈実施例2〉そこで、本発明の第2の実施例では、先に図2で示したように、ゲート電極が形成される領域に溝を掘り、この溝の深さでゲート電極端の拡散層の分布や深さを調整するMOSFETを作製した。この例を、図11～図13の工程図を用いて説明する。実施例1との違いは、図11(e)に示したように、積み上げ不純物層4をマスクにして、基板1に溝を掘ることであり、これ以外の工程は、実施例1とまったく同じである。

【0033】図11(a)～(d)によって、表面が酸化膜5に覆われた積み上げ不純物層4と素子分離酸化膜3を有する基板ができる。積み上げ不純物層で囲まれた基板の活性領域は露出しており、この部分のシリコンを、図11(e)のように、所望の深さで除去し、溝を形成する。この際、露出しているのは、積み上げ不純物層で囲まれた領域だけなので、このシリコン基板の加工に際しては、特別にマスクを用意する必要はない。また、溝を掘った後に、酸化膜6'を形成し、これを通して、パンチスルーストップ8をイオン打ち込みを用いて作る。

【0034】以後の工程は、実施例1の図7～図8に示したものとまったく同じであり、図12(a)に示したように、ゲート酸化膜9を成長させ、ゲート電極10を前述したような方法で埋め込む。次に、図12(b)のように、積み上げ不純物層4を被っている酸化膜5を選択的に除去して、ゲート電極10と積み上げ不純物層のシリコン膜4を露出させる。そして、図12(c)に示したように、イオン打ち込みを行って、ゲート電極端の拡散層の形状を決める。この際、基板1には溝が形成されているので、この深さの分だけ、実効的に浅い拡散層が形成されることになる。そして、図12(d)に示したように、ゲート電極10と積み上げ不純物層4の隙間を酸化膜11で埋める。その後、図13(a)に示したように、露出したゲート電極10と積み上げ不純物層4の表面にのみ、選択的にシリサイド膜12を形成して、ゲート電極10や積み上げ不純物層4の低抵抗化を行う。最後に、図13(b)に示したように、層間絶縁膜13、コンタクト孔、配線金属14の形成を行って、図2に示した構造と同様の半導体装置が完成する。

【0035】以上の実施例においては、一方の導電型のMOSFETを例にして説明してきた。しかし、最近のLSIにおいては、n型のMOSFETとp型のMOSFETが共存する相補型が一般的であり、本発明のように、従来構造とは異なるMOSFETにおいても、相補型が構成できるものでなければならない。ところが、第2の従来素子として図5に示した積み上げ不純物層型のMOSFETでは、酸化膜からの不純物拡散を用いて実効的な拡散層を形成しているために、相補型が作りにく

(8)

13

いという欠点があった。これは、酸化膜からの不純物拡散を行うためには、通常は気層成長法を用いて不純物を高濃度で含んだ酸化膜を堆積しなければならない、このような堆積法では、領域によって不純物の種類を変えることが困難なためである。一方、本発明の半導体装置では、イオン打ち込み法を用いて拡散層を形成するので、このような問題はなく、相補型のMOSFETを容易に実現することができる。

【0036】〈実施例3〉そこで、第3の実施例として、先に図3で説明した相補型のMOSFETを実現する例を図14～図15により説明する。なお、ここでは図1〔実施例1の図8(b)と同一構造〕に示した半導体装置と同一構造の例を用いて説明するが、図2〔実施例2の図13(b)と同一構造〕に示したようにゲート形成領域に溝を形成した半導体装置と同一構造のもの、さらにはこれら両者の構造を組み合わせたものをも使えることは言うまでもない。

【0037】まず、図14(a)に示したように、半導体基板1に素子分離酸化膜3を形成した後、n型領域1”とp型領域1’を形成する。これらの領域はウェルと呼ばれ、本実施例では周知の2重ウェル形成方法を用いた。次に、図14(b)に示したように、積み上げ不純物層となるシリコン膜4を堆積し、さらに、レジストマスク20を形成して、n型ウェルにp型の拡散層を形成するために、BF<sub>2</sub>イオンを打ち込んだ。打ち込み条件は20KeV、 $5 \times 10^{15}/\text{cm}^2$ 程度である。同様に、p型ウェルにn型の拡散層を形成するためのリンイオン打ち込みも、前述したような条件で行う。次に、図14(c)に示したように、酸化膜5をマスクにして、積み上げ不純物層4を分離する。積み上げ不純物層4の分離は、同一のマスクを用いて行う。次に、図14(d)に示したように、積み上げ不純物層4を酸化膜(5、7)で被い、溝の間隔を狭くする。さらに、図14(e)に示したように、パンチスルーストップパ8を形成するが、p型のMOSFETではヒ素やアンチモンを、n型のMOSFETではボロンやインジウムを打ち込むので、図に示したように、レジストマスク20を形成して所望の領域のみを露出させる。

【0038】次に、図15(a)に示したように、ゲート酸化膜9を成長させ、ゲート電極10を埋め込む。そして、図15(b)に示したように、積み上げ不純物層4の周辺を被う酸化膜(5、7)を選択的に除去し、ゲート電極10と積み上げ不純物層のシリコン膜4を露出させる。次に、図15(c)に示したように、拡散層を形成するために、一方の領域をレジストマスク20で被って、p型のMOSFETにはボロンを、n型のMOSFETにはヒ素を導入する。そして、図15(d)のように配線層14を形成して、本発明による相補型のMOSFETを完成する。

【0039】

14

【発明の効果】以上詳述したように本発明により、所期の目的を達成することができた。すなわち、本発明の半導体装置の特徴は、積み上げ不純物層型のMOSFETで期待される効果を継承しながら、従来の積み上げ不純物層型で問題となっていた、ゲート電極端での拡散層形状の制御や、相補型MOSFETが作りにくいなどの欠点を解消できる点にある。

【0040】積み上げ不純物層型のMOSFETで期待できる効果は、次に示すようなものである。まず、積み上げ不純物層は素子分離酸化膜の上に張り出しているのので、配線金属との接触を、素子分離酸化膜領域で行うことができる。このため、基板の内部に形成される拡散層領域を小さくすることが可能となり、拡散層容量の低減に効果がある。さらに、パンチスルーストップパは、ゲート電極の直下にしか形成されないのので、これも、拡散層容量の低減に大きな効果がある。

【0041】拡散層の低抵抗化にとっても、本発明の半導体装置は優れた特徴を有している。従来構造のMOSFETでは、拡散層を低抵抗化するためのシリサイド膜は、拡散層が浅くなるのに伴って薄くなってきており、このため、シリサイド膜を形成しても、抵抗は期待したほどには下がらなくなっている。一方、本発明の半導体装置では、積み上げ不純物層によって、実質的な拡散層が厚くなっているのので、シリサイド層も低抵抗化に必要な十分な厚さを確保することができる。

【0042】さらに、本発明では、従来の積み上げ不純物層型のMOSFETと異なり、ゲート電極端の拡散層の不純物分布をイオン打ち込み法で制御しているので、実施例でも説明したように、相補型が作り易く、かつ、基板に溝を掘る工程と組み合わせることによって、実効的な拡散層の深さを、イオン打ち込み限界以下にすることができる。このため、本発明のMOSFETは微細化しても正常な動作を確保することができる。

【図面の簡単な説明】

【図1】本発明の原理および第1の実施例となる半導体装置の構造を説明する断面図。

【図2】本発明の原理および第2の実施例となる半導体装置の構造を説明する断面図。

【図3】本発明の原理および第3の実施例となる半導体装置の構造を説明する断面図。

【図4】第1の従来素子構造となるMOSFETの断面図。

【図5】第2の従来素子構造となる積み上げ不純物層型MOSFETの断面図。

【図6】本発明の第1の実施例となる半導体装置の製造工程を示す断面図。

【図7】同じく第1の実施例となる半導体装置の製造工程を示す断面図。

【図8】同じく第1の実施例となる半導体装置の製造工程を示す断面図。

50



(9)

15

【図9】同じく第1の実施例となる半導体装置の製造工程を示す平面図。

【図10】同じく第1の実施例となる半導体装置の製造工程を示す平面図。

【図11】同じく第2の実施例となる半導体装置の製造工程を示す断面図。

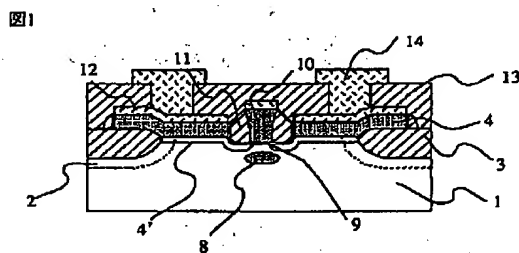
【図12】同じく第2の実施例となる半導体装置の製造工程を示す断面図。

【図13】同じく第2の実施例となる半導体装置の製造工程を示す断面図。

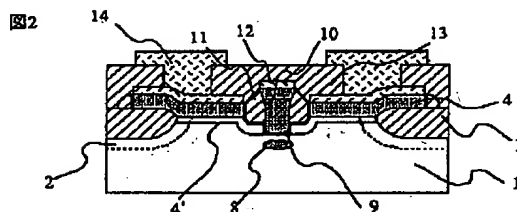
【図14】同じく第3の実施例となる相補型半導体装置の製造工程を示す断面図。

【図15】同じく第3の実施例となる相補型半導体装置

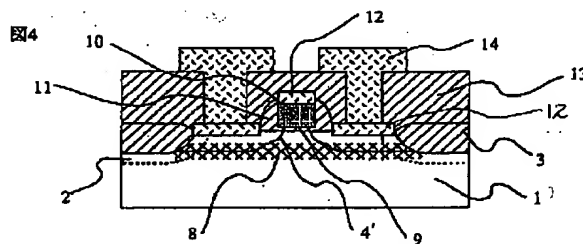
【図1】



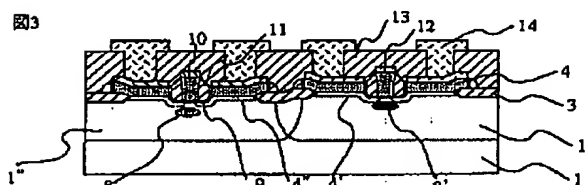
【図2】



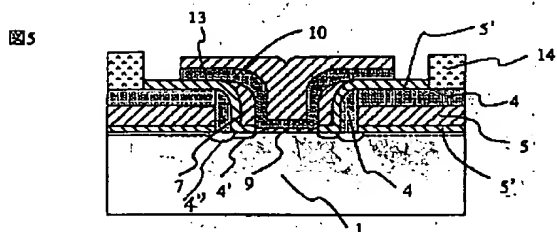
【図4】



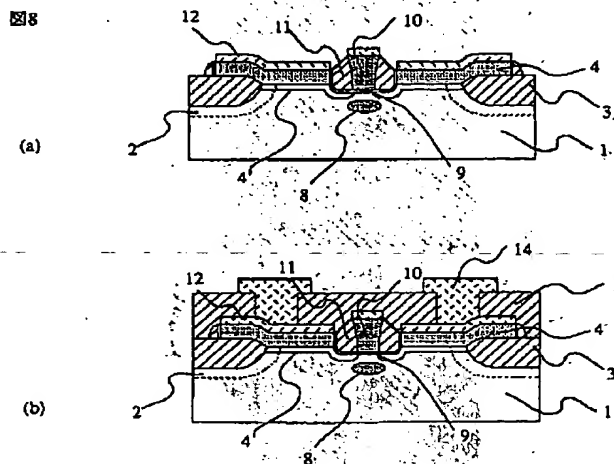
【図3】



【図5】



【図8】



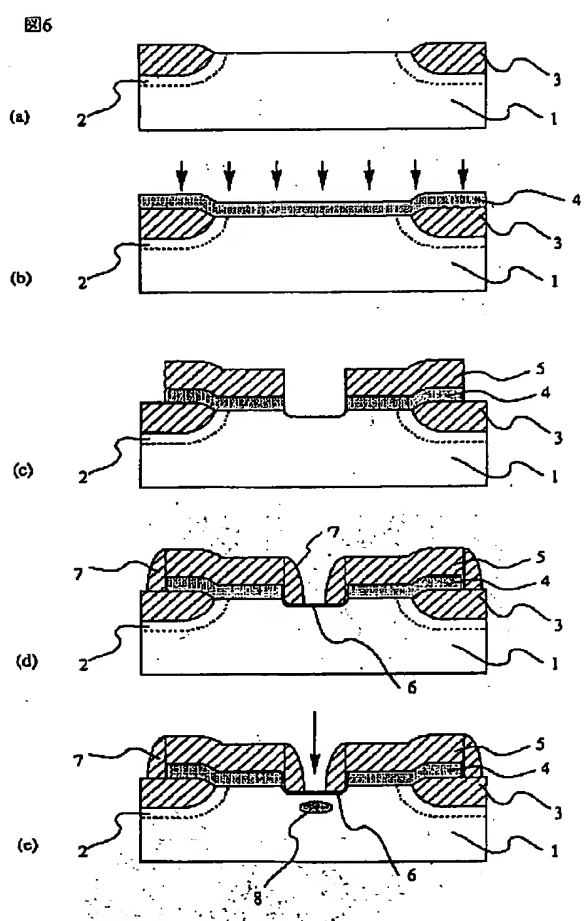
の製造工程を示す断面図。

【符号の説明】

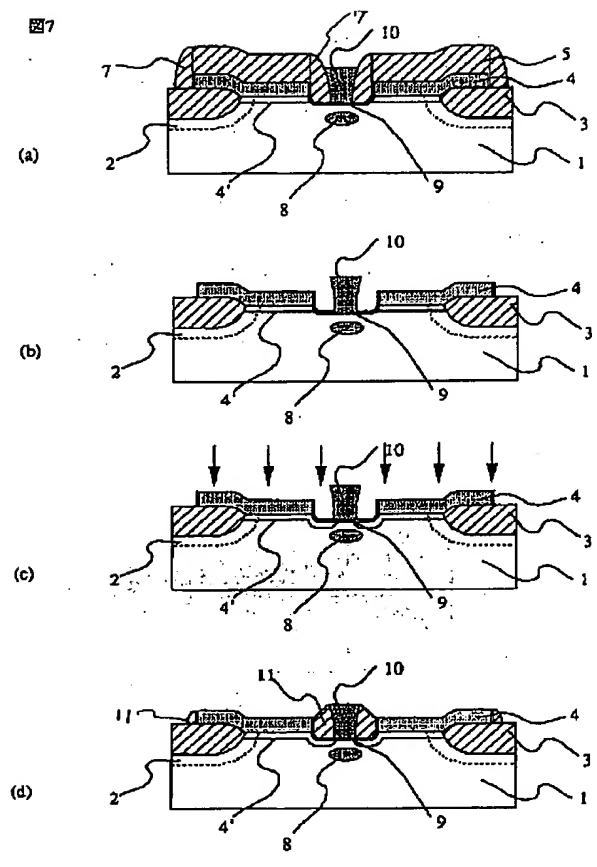
- |   |                   |
|---|-------------------|
| 1…半導体基板、                                  | 2…高濃度不純物領域、       |
| 3…素子分離酸化膜、                                | 4…積み上げ不純物層、       |
| 4'、4''…積み上げ不純物層からの不純物拡散で形成された半導体基板内部の拡散層、 |                   |
| 5…酸化膜、                                    | 5'…不純物を高濃度で含む酸化膜、 |
| 6、6'…酸化膜、                                 | 7…側壁酸化膜、          |
| 8…パンチスルーストップ、                             | 9…ゲート酸化膜、         |
| 10…ゲート電極、                                 | 11…側壁酸化膜、         |
| 12…シリサイド膜、                                | 13…層間絶縁膜、         |
| 14…配線、                                    | 20…レジストマスク。       |

(10)

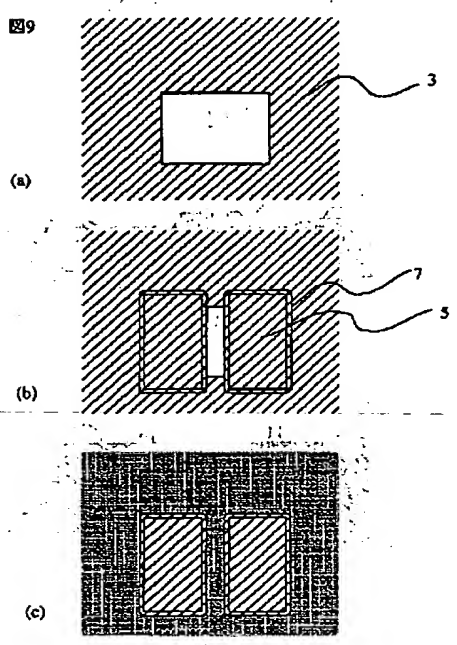
【図6】



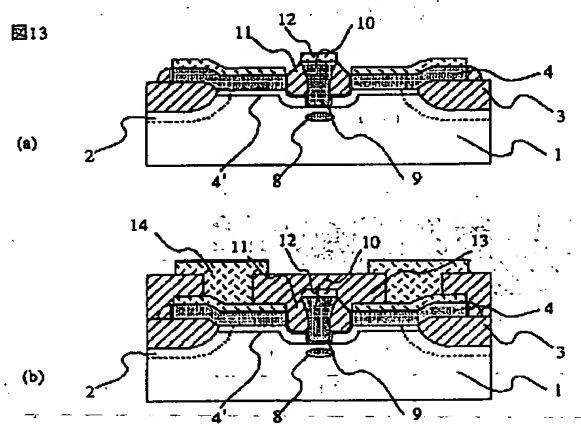
【図7】



【図9】



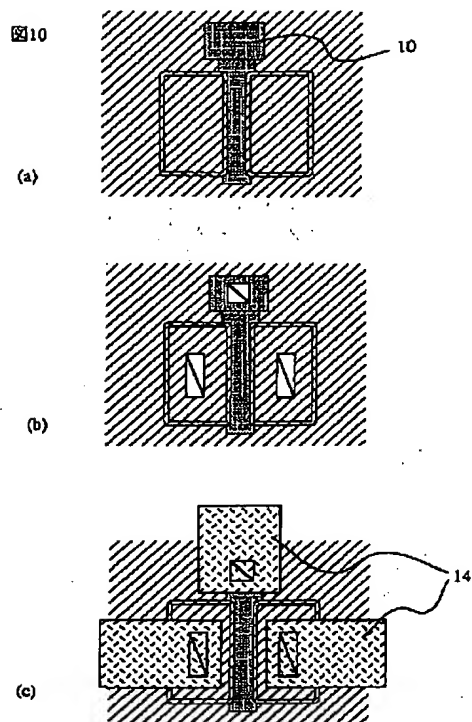
【図13】



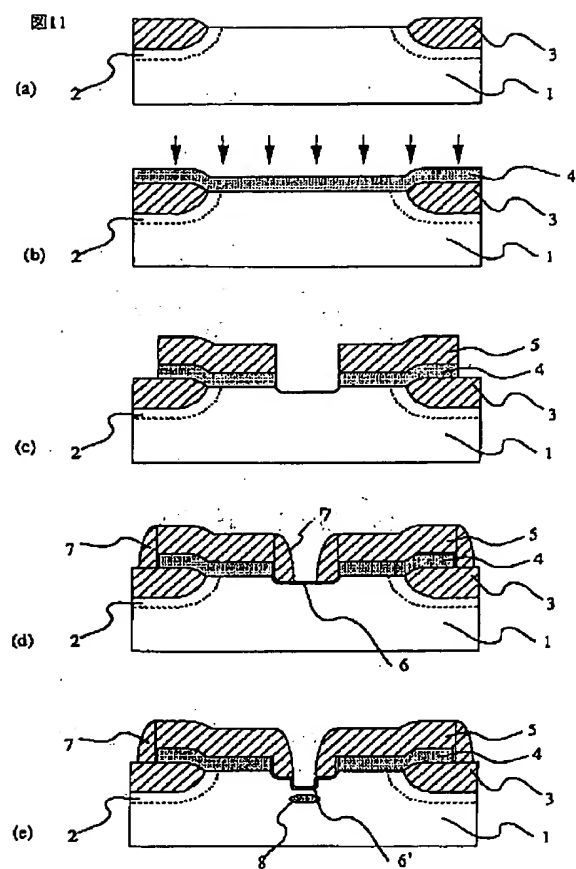


(11)

【図10】

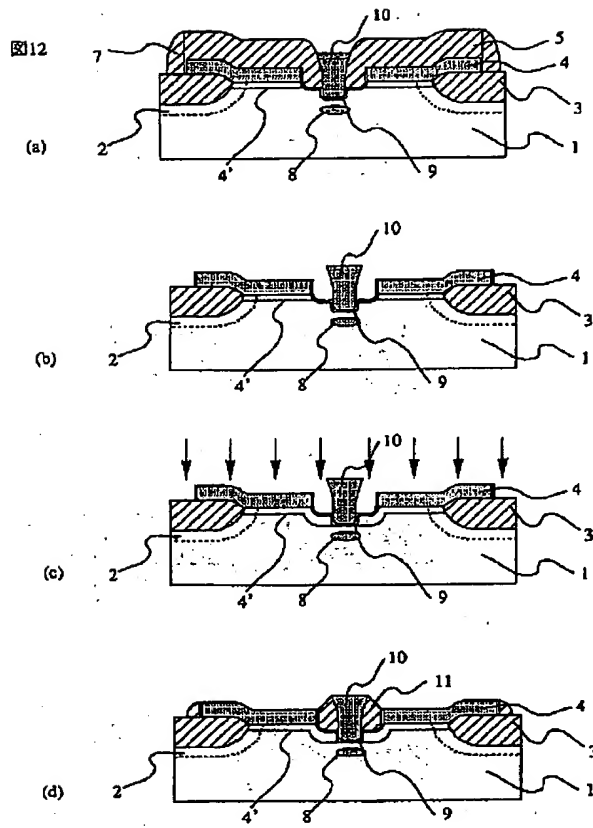


【図11】

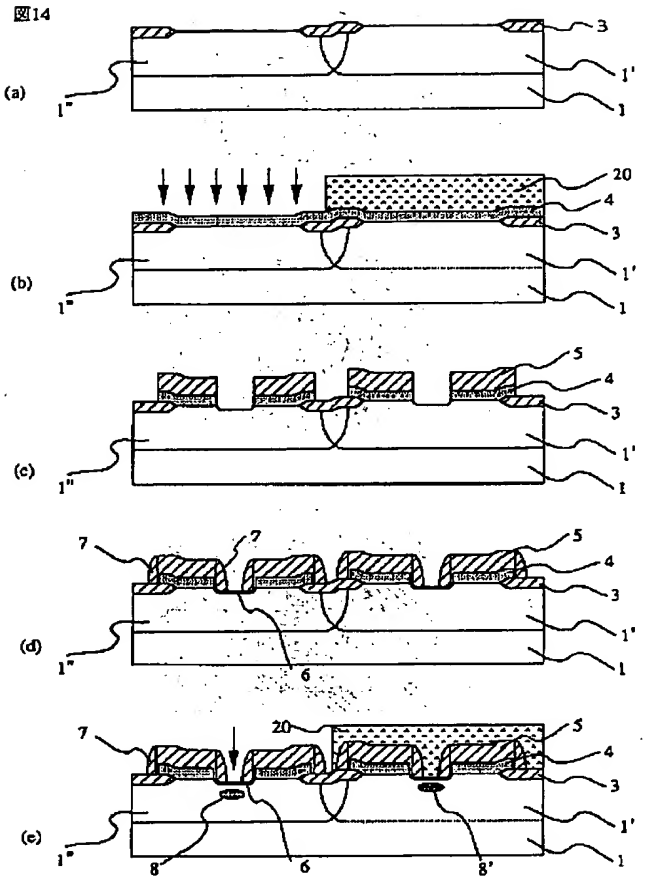


(12)

【図12】

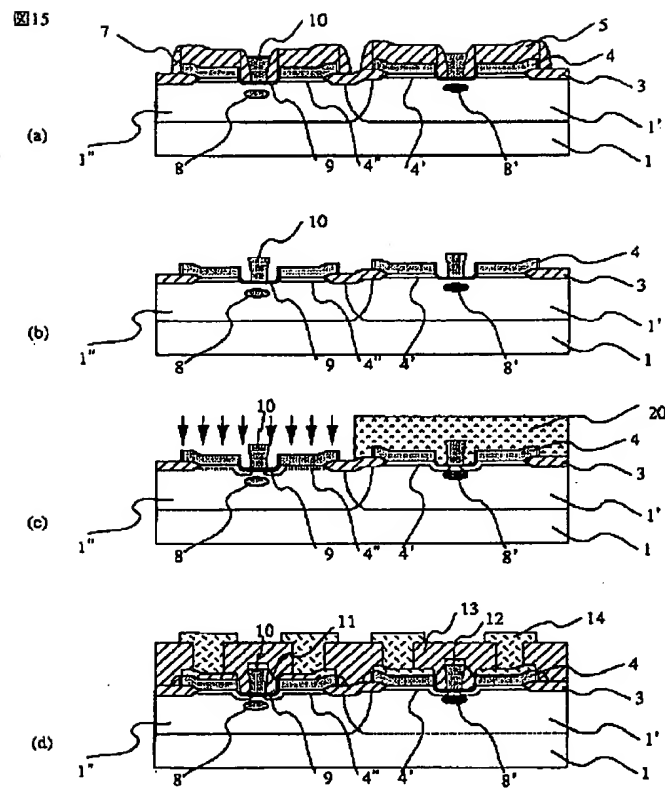


【図14】



(13)

【図15】



【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第7部門第2区分  
【発行日】平成13年9月28日(2001. 9. 28)

【公開番号】特開平7-161979  
【公開日】平成7年6月23日(1995. 6. 23)  
【年通号数】公開特許公報7-1620  
【出願番号】特願平5-307801  
【国際特許分類第7版】

H01L 29/78  
21/336

【F I】

H01L 29/78 301 P

【手続補正書】

【提出日】平成12年12月7日(2000. 12. 7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】半導体基板表面に形成された一対の拡散層と、前記各拡散層の間のチャネル領域上にゲート絶縁膜を介して形成されたゲート電極を有する半導体装置において、前記ゲート電極の下方にのみ形成されたパンチスルーストップを有することを特徴とする半導体装置。

【請求項2】前記パンチスルーストップは、前記各拡散層と接していないことを特徴とする請求項1に記載の半導体装置。

【請求項3】素子分離絶縁膜に囲まれた半導体基板の活性領域を部分的に覆い、前記活性領域上を横断する溝を有する絶縁膜を形成する第1工程と、  
前記溝を通して不純物をイオン打込みすることにより、前記半導体基板内にパンチスルーストップを形成する第2工程と、  
前記溝内にゲート電極を形成する第3工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】前記第2工程と前記第3工程との間に、前記絶縁膜で覆われていない前記半導体基板表面にゲート絶縁膜を形成し、前記第3工程において、前記ゲート絶縁膜上にゲート電極を形成することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】素子分離膜に囲まれた半導体基板の活性領域を部分的に覆い、前記活性領域上を横断する第1の溝を有する第1の絶縁膜を形成する第1工程と、  
前記第1の溝の側面に形成され、前記第1の溝よりも幅の狭い第2の溝を有する第2の絶縁膜を形成する第2工程と、

前記第2の溝を通して不純物をイオン打込みすることにより、前記半導体基板内にパンチスルーストップを形成する第3工程と、

前記第2の溝内にゲート電極を形成する第4工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】前記第3工程と前記第4工程との間に、前記第1及び第2の絶縁膜で覆われていない前記半導体基板表面にゲート絶縁膜を形成し、前記第3工程において、前記ゲート絶縁膜上にゲート電極を形成することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】(1)素子間分離酸化膜を備えた一導電形の半導体基板を用意し、この表面に基板と反対導電形の不純物を含んだ半導体膜を形成する工程、(2)前記半導体膜の表面に絶縁膜を堆積する工程、(3)絶縁膜が堆積された半導体膜を、一組の電極に分離して半導体基板表面の一部を露出させる工程、(4)前記半導体膜および露出した半導体基板表面に酸化膜を成長させる工程、(5)前記半導体膜および前記半導体膜上の絶縁膜の側壁にのみ、第1の側壁絶縁膜を形成する工程、

(6)一組の電極をマスクにして、基板の内部に一導電形の不純物を導入しパンチスルーストップ領域を形成する工程、(7)ゲート絶縁膜を形成する工程、(8)ゲート電極を形成する工程、(9)一組の電極上に堆積された絶縁膜と第1の側壁絶縁膜とを除去する工程、(10)半導体基板に反対導電形の不純物を導入してソース・ドレイン拡散領域を形成する工程、(11)ゲート電極および一組の電極の側壁にのみ、第2の側壁絶縁膜を形成する工程、(12)ゲート電極および一組の電極の表面に、金属を主成分とする導電膜を形成する工程、および(13)ゲート電極、並びに一組の電極に接する配線を形成する工程を有して成ることを特徴とする半導体装置の製造方法。

【請求項8】工程(5)の半導体膜および半導体膜上の絶縁膜の側壁にのみ、第1の側壁絶縁膜を形成する工程と、工程(6)の一組の電極をマスクにして、基板の内

(2)

部に一導電形の不純物を導入しパンチスルーストップ領域を形成する工程との間に、一組の電極をマスクにして半導体基板上に所定深さの溝を形成する工程を付加して成ることを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】(1) 導電型の異なる複数の半導体領域を具備し、かつ、素子間分離領域が形成されている半導体基板を用意し、この表面に半導体膜を形成する工程、

(2) 前記半導体膜の一部を被う有機膜を形成して、この有機膜で被われていない領域に一導電形の不純物を導入する工程、(3) 前記工程 (2) において有機膜で被われていた領域にのみ工程 (2) と同じ方法で反対導電形の不純物を導入する工程、(4) 前記半導体膜の表面に絶縁膜を堆積する工程、(5) 絶縁膜が堆積された前記半導体膜を、一組の電極に分離し、半導体基板表面の一部を露出させる工程、前記半導体膜および露出した半導体基板表面に酸化膜を成長させる工程、前記半導体膜および半導体膜上の絶縁膜の側壁にのみ、第 1 の側壁絶縁膜を形成する工程、(8) 所望の領域を被う有機膜を形成して、一組の電極をマスクにして、基板の内部に一導電形の不純物を導入しパンチスルーストップ領域を形成する工程、(9) 工程 8 において有機膜で被われていた領域に、工程 (8) と同じ方法を用いて反対導電形の不純物を導入しパンチスルーストップ領域を形成する工程、(10) ゲート絶縁膜を形成する工程、(11) ゲート電極を形成する工程、(12) 一組の電極上の絶縁膜と前記第 1 の側壁絶縁膜のみを除去する工程、(1

3) 所望の領域を被う有機膜を形成して、反対導電形の不純物を導入して第 1 のソース・ドレイン拡散領域を形成する工程、(14) 工程 (13) において有機膜で被われていた領域に、工程 (13) と同じ方法を用いて一導電形の不純物を導入して第 2 のソース・ドレイン拡散領域を形成する工程、(15) ゲート電極および一組の電極の側壁にのみ、第 2 の側壁絶縁膜を形成する工程、(16) ゲート電極および一組の電極の表面に、金属を主成分とする導電膜を形成する工程、および (17) ゲート電極、並びに一組の電極に接する配線を形成する工程を有して成ることを特徴とする半導体装置の製造方法。

【請求項 10】一組の電極である半導体膜の表面および側壁を被う絶縁膜は、ボロンもしくはリン、もしくは、その両方を高濃度で含む酸化膜であり、かつ、この酸化膜を、フッ酸の蒸気を含む雰囲気中で除去することを特徴とする請求項 7 乃至 9 の何れか一つに記載の半導体装置の製造方法。

【請求項 11】半導体膜をシリコン膜で構成すると共に、絶縁膜をシリコン酸化膜で形成する工程として成ることを特徴とする請求項 7 乃至 10 の何れか一つに記載の半導体装置の製造方法。

【請求項 12】一組の電極表面に形成する導電膜を、タングステン、モリブデン、タンタルおよびこれら金属のシリサイドからなる群の少なくとも 1 種の高融点金属で形成したことを特徴とする請求項 7 乃至 11 の何れか一つに記載の半導体装置。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**